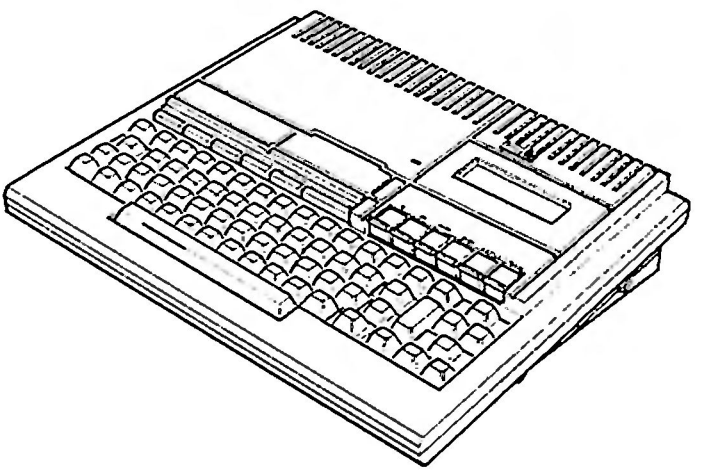
COFADEL SERVICE

DOCUMENTATION TECHNIQUE

M 06

# MICRO ORDINATEUR



# M06

COFADEL SERVICE — 166, rue du Landy 93200 SAINT DENIS — BP 68 93202 SAINT-DENIS CEDEX 1 — TELEX (1) 48 20 61 15 SAV GEN 611 740

COFADEL SERVICE S.A. AU CAPITAL de 39 800 000 F
SIEGE SOCIAL 166 RUE DU LANDY 93200 SAINT DENIS
RCS PARIS B 338 392 442

Code 971TX0093 - Imp. HD - 01/87

Tous droits de reproduction, de traduction, d'adaptation et d'exécution réservés pour tous pays.

Les descriptions et caractéristiques figurant sur ce document sont données à titre d'information et non d'engagement. En effet, soucieux de la qualité de nos produits, nous nous réservons le droit d'effectuer, sans préavis, toute modification ou amélioration.

Code 971 TX 0088 - Imp. H. DRIDÉ - 09/86

# FICHE SPECIFIQUE
# SPECIFIC DATA

## CU 66 - AZE


**UNITE CENTRALE / CENTRAL UNIT** II/1 - 22

- 1 - 3 Schéma synoptique. Block diagram.
- 4 - 5 Schéma de principe. Circuit diagram.
- 6 - Organisation de la mémoire. Memory map.
- 7 - 9 Circuit imprimé. Circuit board.
- 10 - 22 Principe de fonctionnement. Operating mode.

**ALIMENTATION / POWER SUPPLY** III/1 - 6

- 1 - Schéma synoptique. Block diagram.
- 2 - 3 Principe de fonctionnement. Operating mode.
- 4 - 5 Schéma de principe. Circuit diagram.
- 6 - Circuit imprimé. Circuit board.

**LECTEUR ENREGISTREUR DE PROGRAMMES / PROGRAM RECORDER** IV/1 - 4

- 1 - 2 Schéma de principe. Circuit diagram.
- 3 - 4 Principe de fonctionnement. Operating mode.
- 4 - Circuit imprimé. Circuit board

**LISTE DES PIECES DETACHEES / PARTS LIST** V/1 - 3

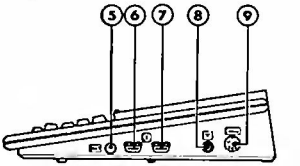
## PRISES ET COMMANDES
## CONNECTORS AND CONTROLS

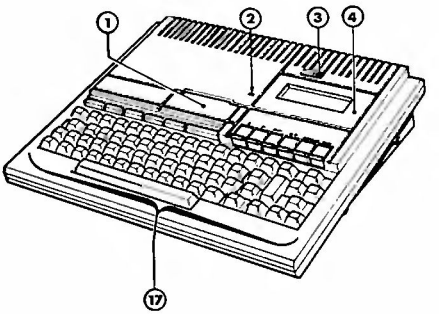
**1** – Trappe destinée à recevoir les cartouches de programmes.
**2** – Voyant indiquant que l'appareil est sous tension (couleur verte) ou que le lecteur enregistreur de programme (LEP) est en fonction enregistrement (couleur rouge).
**3** – Compteur de bande et sa touche de remise à zéro.
**4** – Volet porte-cassette.
**5** – Touche "INIT" permet en cours d'utilisation d'afficher à nouveau le menu.
**6** – Connecteur permettant le raccordement d'une manette de jeux (numéro 0 en basic) ou d'une souris.
**7** – Connecteur permettant le raccordement d'une manette de jeux (numéro 1 en basic).
**8** – Sortie antenne UHF PAL (modèle équipé).
**9** – Prise DIN = permet le raccordement du crayon optique.
**10** – Interrupteur de mise en service de l'appareil.
**11** – Cordon secteur.
**12** – Connecteur permettant le raccordement des boîtiers d'extension.
**13** – Prise pour le raccordement d'une imprimante (interface parallèle).
**14** – Prise CINCH sortie son.
**15** – Prise peritelevision : permet le raccordement au recepteur de télévision.
**16** – Connecteur péritelevision.
**17** – Clavier.

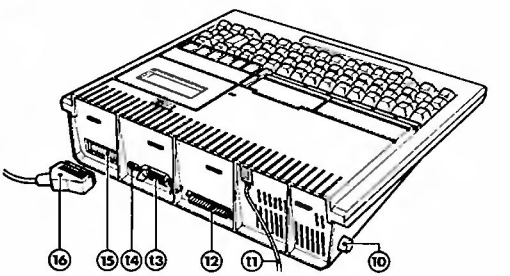
Le clavier du lecteur de cassette se compose de six touches : de gauche à droite :
– touche enregistrement « ● »
– touche lecture « ▶ »
– touche défilement arrière rapide « ◀◀ »
– touche défilement avant rapide « ▶▶ »
– touche d'arrêt de défilement de la bande et d'éjection de la cassette « STOP/EJECT »
– touche d'arrêt momentané « PAUSE ».

**1** — Port to accomodate programme cartridges.
**2** — Pilot light indicating that the computer is powered-up (green) or that the recorder is recording (red).
**3** — Tape counter and associated reset key.
**4** — Cassette door shutter.
**5** — « INIT » key errables the menu to displayed during utilisation.
**6** — Connector for joystick (number 0 in basic) or a mouse.
**7** — Connector for joystick (number 1 in basic).
**8** — RF Modulator PAL (equipped types).
**9** — DIN connector for connecting the light pen.
**10** — On switch for computer.
**11** — Mains lead.
**12** — Connector for expansion packages.
**13** — Printer connector (parallel) interface.
**14** — CINCH connector for audio output.
**15** — PERITEL connector for connecting the television receiver.
**16** — PERITEL connector.
**17** — Keyboard.

The keyboard of the tape consists of six key : left to right :
— Recording key « ● »
— Play key « ▶ »
— Rewind key « ◀◀ »
— Fast forward key « ▶▶ »
— Stop and eject key for stopping the tape and ejecting the cassette « STOP/EJECT »
— Momentary stoppage key « PAUSE »




### CARACTÉRISTIQUES PRINCIPALES

**COFFRET** : matière moulée.
**CLAVIER** : mécaniques, 69 touches AZERTY dont 5 touches de fonction.
**DIMENSIONS** : L 362, H 87, P 315 mm.
**MASSE** : 3 kg.
**ALIMENTATION** : secteur 220 V 50 Hz.
**CONSOMMATION** : 24 W sans extension.
**FUSIBLE** : T 160 mA.

Une étiquette fixée sous l'appareil reproduit les particularités électriques mentionnées ci-dessus.

**MICROPRDCESSEUR** : 6809 E, 1 MHz.
**MÉMOIRE** : 128 Ko RAM.
64 Ko ROM (32 Ko pour BASIC 1, 32 Ko pour BASIC 128).
**ÉCRAN** : sortie RVB + son par prise péritélévision.
**MDDE D'AFFICHAGE** : 8 configurations possibles.
**NOMBRE DE COULEURS** : 16 couleurs sélectionnées parmi 4096.
**LECTEUR/ENREGISTREUR DE PROGRAMMES** :
**CASSETTES UTILISABLES** : C 10 à C 20 à oxyde de fer.
**VITESSE DE DÉFILEMENT** : 4,75 cm/s.
**VITESSE DE TRANSMISSIDN** : 1200 ou 2400 bauds (1 baud — 1 bit par seconde).
**COMPTEUR** : 3 chiffres, affichage mécanique.
**CODEUR MODULATEUR PAL** : modèles équipés.

### MAIN CHARACTERISTICS

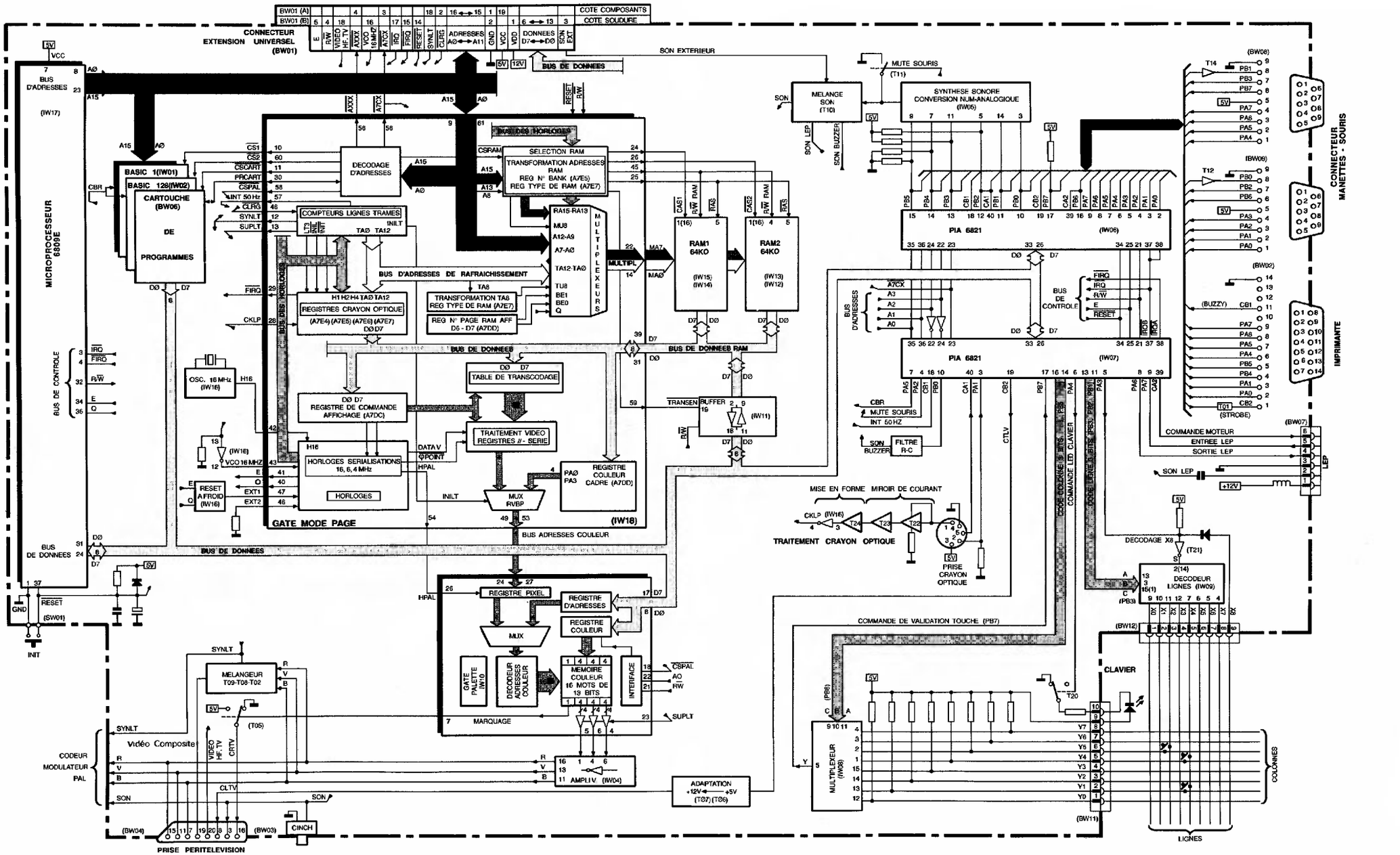
**CABINET** : Moulded material.
**KEYBOARD** : Mechanical ; 69 key AZERTY includind five function keys.
**DIMENSIDNS** : Length 362 mm ; Height 87 mm ; Depth 3t5 mm.
**WEIGHT** : 3 kg.
**POWER SUPPLY** : 220 V 50 Hz.
**CONSUMPTION** : 24 W with no extension.
**FUSE** : T 160 mA.

A label on the bottom of the computer reiterates the above electrical data.

**MICRDPROCESSOR** : 6809 E, t MHz.
**MEMDRY** : 128 Kb RAM.
64 Kb (32 Kb for BASIC 1 ; 32 Kb for BASIC 128).
**SCREEN** : Audio + RGB output through PERITEL connector.
**DISPLAY MODE** : 8 configurations possible.
**NUMBER OF COLDURS** : t6 colours out of 4096.
**PROGRAMME READER/RECORDER** :
**CASSETTES USABLE** : C t0 to C 20 iron oxide.
**TAPE SPEED** : 4,75 cm/s.
**TRANSMISSIDN SPEED** : 1200 or 2400 Bauds (1 baud — 1 bit per second).
**COUNTER** : 3 digits ; mechanical display.
**RF MODULATOR PAL** : equipped types.

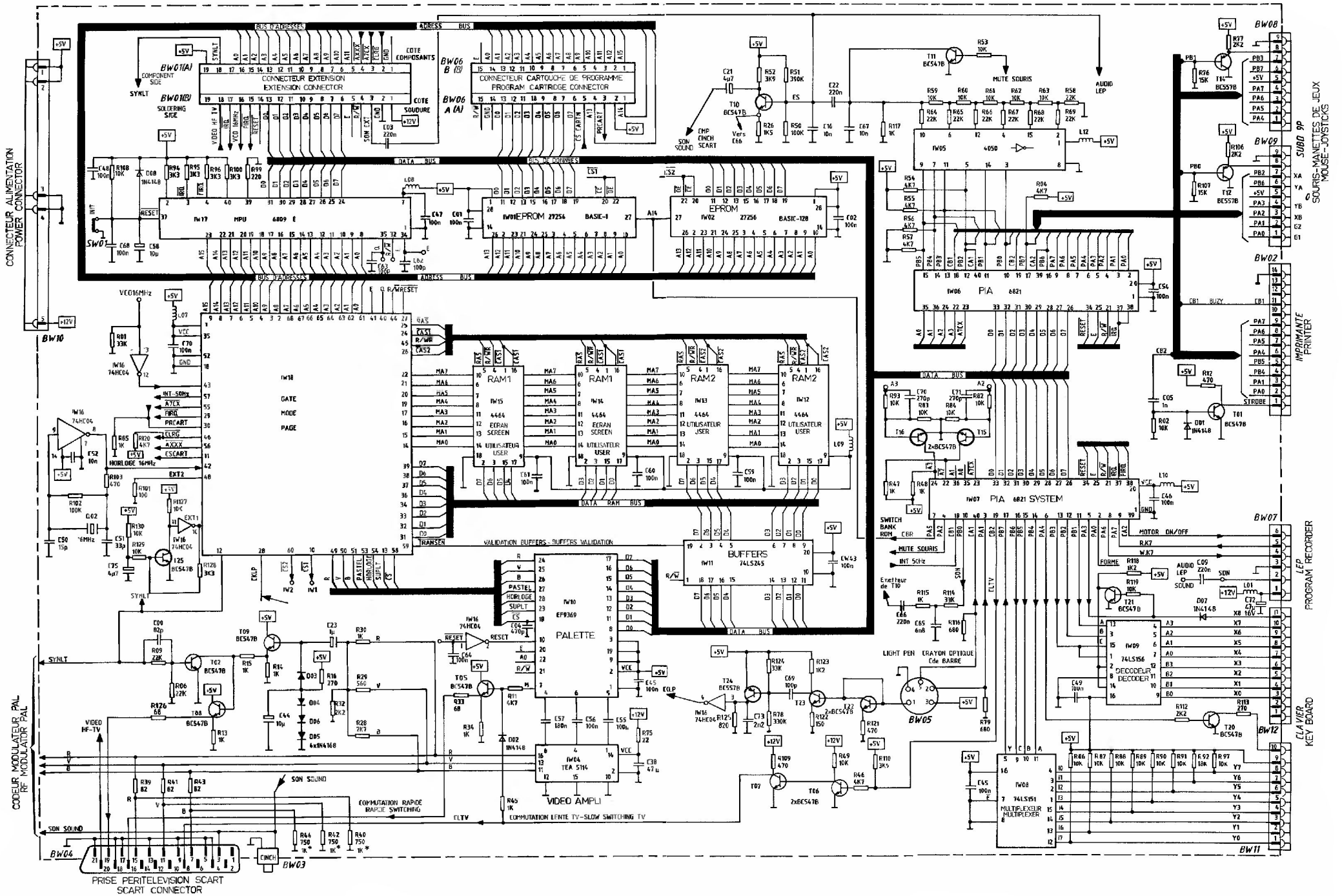
# UNITÉ CENTRALE – CENTRAL UNIT

## SCHÉMA SYNOPTIQUE – BLOCK DIAGRAM



| | |
|---|---|
| ADAPTATION | ADAPTATION |
| ADRESSES | ADDRESS |
| AMPLI-VIDÉO | VIDEO AMPLIFIER |
| BUS ADRESSES COULEUR | COLOR ADDRESS BUS |
| BUS D'ADRESSES | ADDRESS BUS |
| BUS D'ADRESSES DE RAFRAICHISSEMENT | REFRESH ADDRESS BUS |
| BUS DE CONTRÔLE | CONTROL BUS |
| BUS DE DONNÉES | DATA BUS |
| BUS DE DONNÉES RAM | RAM DATA BUS |
| BUS DES HORLOGES | CLOCK BUS |
| CARTOUCHE DE PROGRAMMES | PROGRAM CARTRIDGE |
| CLAVIER | KEYBOARD |
| CODE COLONNES | COLUMN CODE |
| CODE LIGNES | LINE CODE |
| CODEUR-MODULATEUR PAL | RF MODULATOR PAL |
| COLONNES | COLUMNS |
| COMMANDE DE VALIDATION TOUCHES | BUTTON RELEASE CONTROL |
| COMMANDE LED CLAVIER | KEYBOARD LED CONTROL |
| COMMANDE MOTEUR | MOTOR CONTROL |
| COMMUTATION BANQUE ROM (CBR) | ROM BANK COMMUTATION |
| COMPTEURS LIGNE-TRAME | LINE-FRAME COUNTERS |
| CONNECTEUR EXTENSION UNIVERSEL | UNIVERSAL EXTENSION CONNECTOR |
| CONNECTEURS « MANETTES-SOURIS » | « JOYSTICK-MOUSE » CONNECTOR |
| CONVERSION NUMÉRIQUE-ANALOGIQUE (CNA) | DIGITAL TO ANALOG CONVERSION (DAC) |
| DÉCODAGE | DECODING |
| DÉCODAGE D'ADRESSES | ADDRESS DECODING |
| DÉCODEUR | DECODER |
| DÉCODEUR ADRESSES COULEUR | COLOR ADDRESS DECODER |
| DÉCODEUR LIGNE | LINE DECODER |
| DONNÉES | DATA |
| ENTRÉE LEP | PR INPUT |
| FILTRE RC | RC FILTER |
| HORLOGES | CLOCK |
| HORLOGES DE SÉRIALISATION | SERIALISATION CLOCK |
| IMPRIMANTE | PRINTER |
| INTERFACE | INTERFACE |
| LIGNES | LINES |
| MARQUAGE | MARKING |
| MÉLANGE SON | SOUND MIXING |
| MÉLANGEUR | MIXER |
| MÉMOIRE COULEUR (16 MOTS DE 13 BITS) | COLOR MEMORY (16 WORDS OF 13 BITS) |
| MIROIR DE COURANT | CURRENT FEEDBACK « MIRROR » |
| MISE EN FORME | SHAPING |
| MULTIPLEXEURS (MUX) | MULTIPLEXER |
| PRISE CRAYON OPTIQUE | LIGHT PEN CONNECTOR |
| REGISTRE D'ADRESSES | ADDRESS REGISTER |
| REGISTRE COULEUR | COLOR REGISTER |
| REGISTRE COULEUR CADRE | FRAME COLOR REGISTER |
| REGISTRE DE COMMANDE D'AFFICHAGE | DISPLAY CONTROL REGISTER |
| REGISTRE PIXEL | PIXEL REGISTER |
| REGISTRES CRAYON OPTIQUE | LIGHT PEN REGISTER |
| REGISTRES PARALLÈLE/SÉRIE | PARALLEL SERIAL REGISTER |
| REG. N° DE BANQUE | BANK NUMBER REG. |
| REG. N° PAGE RAM AFFICHÉE | DISPLAYED RAM PAGE Nr REG. |
| REG. TYPE DE RAM | RAM TYPE REG. |
| RESET A FROID | INITIALISATION RESET |
| SÉLECTION RAM | RAM SELECTION |
| SON | SOUND |
| SON BUZZER | BUZZER SOUND |
| SON EXTÉRIEUR | EXTERNAL SOUND |
| SON LEP | PROGRAM RECORDER SOUND |
| SORTIE LEP | PROGRAM RECORDER OUTPUT |
| SYNTHÈSE SONORE | SOUND SYNTHESIS |
| TABLE DE TRANSCODAGE | TRANSCODING TABLE |
| TRAITEMENT CRAYON OPTIQUE | LIGHT PEN PROCESSING |
| TRAITEMENT VIDÉO | VIDEO PROCESSING |
| TRANSFORMATION ADRESSES RAM | RAM ADDRESS TRANSFORMATION |
| TRANSFORMATION TA 8 | TA 8 TRANSFORMATION |
| VIDÉO COMPOSITE | VIDEO COMPOSITE |
| VIDÉO HF TV | HF TV VIDEO |

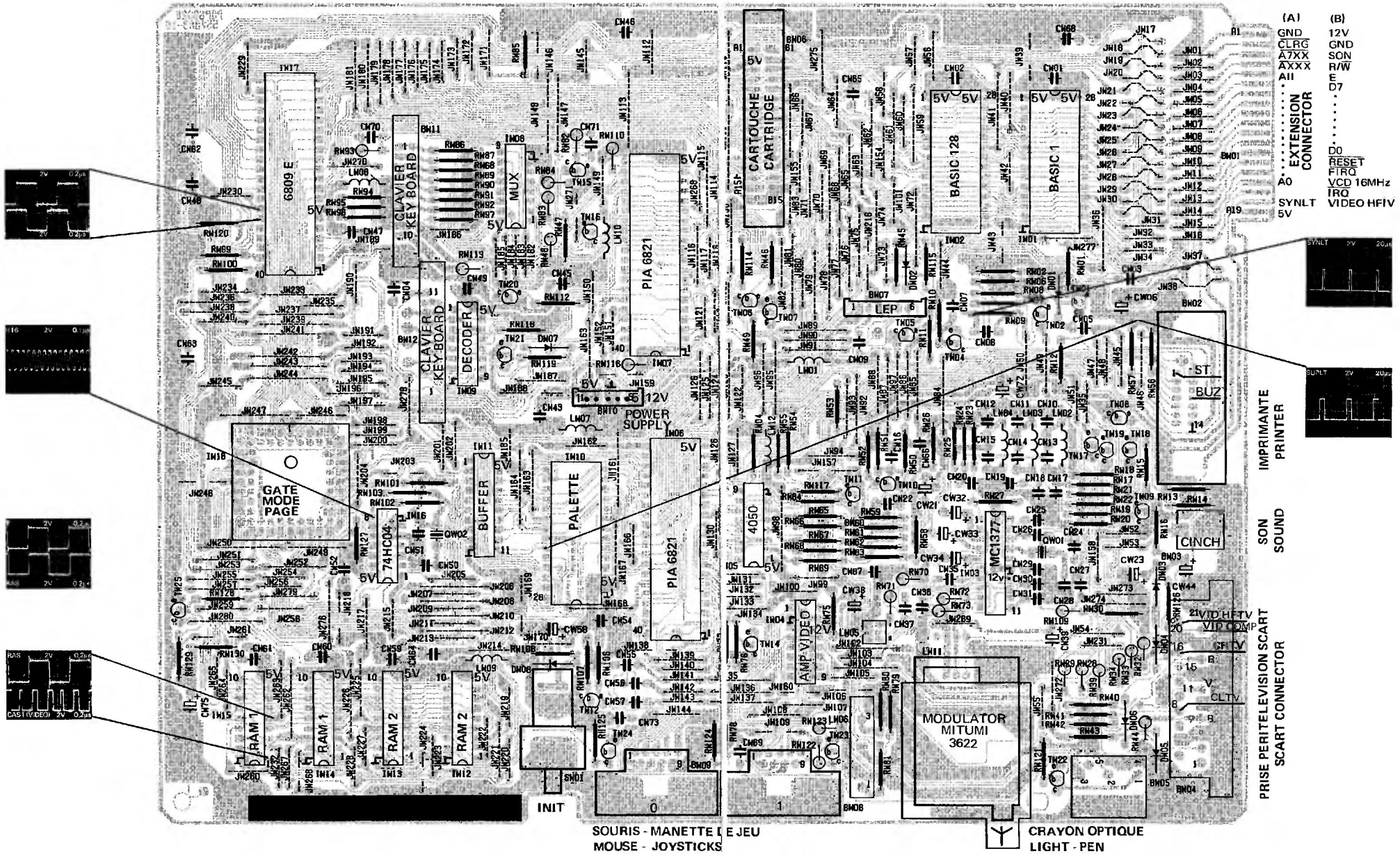
## SCHÉMA DE PRINCIPE – CIRCUIT DIAGRAM



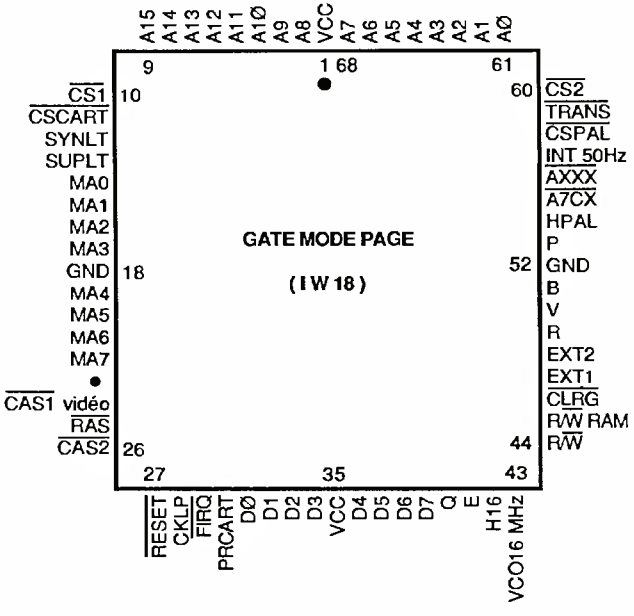
## ORGANISATION DE LA MÉMOIRE – MEMORY MAP

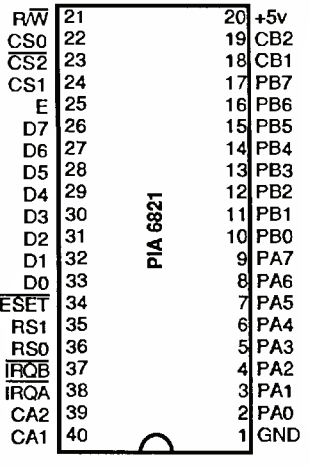
| | | |
|---|---|---|
| FFFF (65535)<br>F000 (61440) | 4 Ko | MONITEUR – MONITOR |
| EFFF (61439)<br>B000 (45056) | 16 Ko | ROM BASIC 1<br>BASIC 128<br>CARTOUCHE DE PRDGRAMMES – PRDGRAM CARTRIDGE |
| AFFF (45055)<br>A800 (43008) | 2 Ko | LIBRE – FREE |
| A7FF (43007)<br>A7F8 (43000) | 8 | LIBRE – FREE |
| A7F7 (42999)<br>A7F0 (42992) | 8 | EXTENSION IEEE – IEEE EXTENSION |
| A7EF (42991)<br>A7EC (42998) | 4 | LIBRE – FREE |
| A7EB (42997)<br>A7E8 (42984) | 4 | INTERFACE RF 90932 |
| A7E7 (42983)<br>A7E4 (42980) | 4 | REGISTRES GATE MODE PAGE – GATE MODE PAGE REGISTERS |
| A7E3 (42979)<br>A7E0 (42976) | 4 | LIBRE – FREE |
| A7DF (42975)<br>A7DE (42974) | 2 | LIBRE – FREE |
| A7DD (42973)<br>A7DC (42972) | 2 | REGISTRES GATE MODE PAGE – GATE MODE PAGE REGISTERS |
| A7DB (42971)<br>A7DA (42970) | 2 | REGISTRES GATE PALETTE – GATE PALETTE REGISTERS |
| A7D9 (42969) | 1 | LIBRE – FREE |
| A7D8 (42968)<br>A7D0 (42960) | 9 | CONTRÔLEUR DE DISQUE – DISQ CONTROLLER |
| A7CF (42959)<br>A7CC (42956) | 4 | PIA 6821 (IW06) EXTENSION MUSIQUE ET JEUX – IMPRIMANTE – SOURIS<br>MUSIC AND GAMES EXTENSION – PRINTER – MOUSE |
| A7CB (42955) | 1 | RESERVE – RESERVED |
| A7CA (42954)<br>A7C4 (42948) | 7 | LIBRE – FREE |
| A7C3 (42947)<br>A7C0 (42944) | 4 | PIA 6821 (IW07) SYSTEME |
| A7BF (42943)<br>A000 (40960) | 1,9 Ko | MONITEUR CONTROLEUR DE DISQUE – DISC MONITOR CONTROLLER |
| 9FFF (40959)<br>6000 (24576) | 16 Ko | MEMOIRE UTILISATEUR (6 pages de 16 Ko) / USER MEMORY (6 16 Ko pages) |
| 5FFF (24575)<br>2000 (8192) | 16 Ko | MEMOIRE UTILISATEUR (MONITEUR PAGE 0) / USER MEMORY (MONITOR PAGE 0) |
| 1FFF (8191)<br>0000 | 8 Ko | MEMOIRE ECRAN – SCREEN MEMORY<br>POINT PIXEL 8 Ko FORME = 1 FORM = 1 / COULEUR COLOR 8 Ko FORME = 0 FORM = 0 |

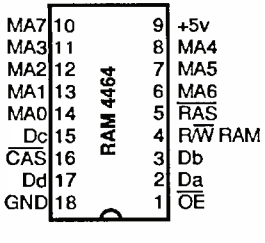
## CIRCUIT IMPRIMÉ – CIRCUIT BOARD

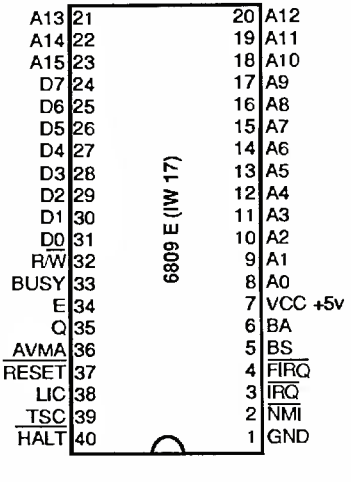


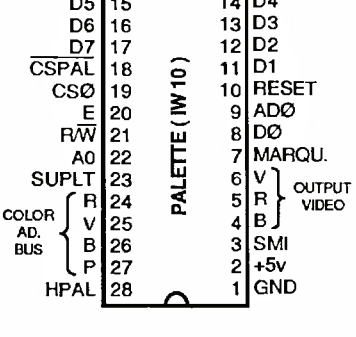

Nota : Cette platine prévoit l'insertion de composants supplémenteires pour l'intégration d'un « Codeur modulateur PAL » sur les modèles équipés.
Note : This board can receive supplementary components for integration of a «RF Modulator PAL» on equipped types.


A15 A14 A13 A12 A11 A10 A9 A8 VCC A7 A6 A5 A4 A3 A2 A1 A0
9
1 68
61
CS1
CSCART
SYNLT
SUPLT
MA0
MA1
MA2
MA3
GND
MA4
MA5
MA6
MA7
CAS1 vidéo
RAS
CAS2
10
18
26
GATE MODE PAGE
(IW 18)
CS2
TRANS
CSPAL
INT 50Hz
AXXX
A7CX
HPAL
P
GND
B
V
R
EXT2
EXT1
CLRG
R/W RAM
R/W
60
52
44
27
35
43
RESET CKLP FIRQ PRCART DØ D1 D2 D3 VCC D4 D5 D6 D7 Q E H16 VCO16 MHz


R/W 21
CS0 22
CS2 23
CS1 24
E 25
D7 26
D6 27
D5 28
D4 29
D3 30
D2 31
D1 32
D0 33
RESET 34
RS1 35
RS0 36
IRQB 37
IRQA 38
CA2 39
CA1 40
PIA 6821
20 +5v
19 CB2
18 CB1
17 PB7
16 PB6
15 PB5
14 PB4
13 PB3
12 PB2
11 PB1
10 PB0
9 PA7
8 PA6
7 PA5
6 PA4
5 PA3
4 PA2
3 PA1
2 PA0
1 GND


MA7 10
MA3 11
MA2 12
MA1 13
MA0 14
Dc 15
CAS 16
Dd 17
GND 18
RAM 4464
9 +5v
8 MA4
7 MA5
6 MA6
5 RAS
4 R/W RAM
3 Db
2 Da
1 OE


A13 21
A14 22
A15 23
D7 24
D6 25
D5 26
D4 27
D3 28
D2 29
D1 30
D0 31
R/W 32
BUSY 33
E 34
Q 35
AVMA 36
RESET 37
LIC 38
TSC 39
HALT 40
6809 E (IW 17)
20 A12
19 A11
18 A10
17 A9
16 A8
15 A7
14 A6
13 A5
12 A4
11 A3
10 A2
9 A1
8 A0
7 VCC +5v
6 BA
5 BS
4 FIRQ
3 IRQ
2 NMI
1 GND


D5 15
D6 16
D7 17
CSPAL 18
CSØ 19
E 20
R/W 21
A0 22
SUPLT 23
COLOR AD. BUS
R 24
V 25
B 26
P 27
HPAL 28
PALETTE (IW 10)
14 D4
13 D3
12 D2
11 D1
10 RESET
9 ADØ
8 DØ
7 MARQU.
6 V
5 R
4 B
OUTPUT VIDEO
3 SMI
2 +5v
1 GND

# PRINCIPE DE FONCTIONNEMENT
# OPERATING MODE

## A) PRÉSENTATION GÉNÉRALE DE L'APPAREIL

Bâti autour du microprocesseur 6809-E de MOTOROLA/EFCIS, cette unité centrale se distingue par l'utilisation d'une puissante unité de gestion et d'intégration : « LE GATE ARRAY MODE PAGE ».

### a) LA PROGRAMMATION DU GATE MODE PAGE

- Le GATE MODE PAGE contient 6 registres programmables (voir « REGISTRES GATE MODE PAGE »(page:21)). Ces registres contiennent tous les renseignements dont le système a besoin et assurent une polyvalence de ce composant pour plusieurs produits, avec différents types de RAM.

### b) L'INTÉGRATION

Le GATE MODE PAGE (IW18) intègre :
- le décodage des adresses,
- le traitement et le multiplexage des adresses RAM,
- la génération synchro,
- la gestion du crayon optique,
- la gestion vidéo, pilotant le GATE PALETTE (IW10) : 16 couleurs parmis 4096.

### c) L'ACCÈS MODE PAGE

- Ce nouveau mode d'adressage RAM, (2 lectures de la RAM vidéo pendant la phase non active : E = 0), permet de faire le chargement des 16 bits d'info-vidéo, dans la table de transcodage, en 2 fois et de travailler dans un seul boîtier RAM (RAM1).

### d) LA TRANSFORMATION DES ADRESSES RAM

- Permet l'utilisation des blocs mémoire à grande capacité, (4464, 41256...), par pages de 16 Ko, 8 Ko et d'assurer la polyvalence du GATE MODE PAGE, pour plusieurs produit, avec différents types de RAM.

### e) 128 Ko DE MEMOIRE VIVE (RAM)

- Répartis dans 4 boîtiers RAM de 64 K x 4 bits (4464), couplés 2 par 2, afin d'obtenir virtuellement, 2 blocs RAM de 64 Ko : RAM1 (IW14, IW15) et RAM2 (IW12, IW13) (voir synoptique).

### f) 64 Ko DE MEMOIRE MORTE (ROM)

- Répartis dans 2 boîtiers ROM de 32 Ko (27256) : (IW01) pour le BASIC 1 et (IW02) pour le BASIC 128. Les deux basics peuvent êtres masqués par une cartouche de programmes de 16 Ko enfichable sur le connecteur cartouche (BW06).

### g) UN INTERFAÇAGE MO COMPLET

- PIA 6821 (IW07) SYSTEME gèra :
  - le clavier,
  - la commutation des banques ROM : CBR,
  - le lecteur enregistreur de programmes (LEP),
  - le son buzzer,
  - le crayon optique,
  - le MUTE SOURIS : règle les problèmes d'interférences provoquées par l'utilisation des manettes de jeu ou de la souris, lors d'une impression (MUTE SOURIS = 0 validation de la sortie son du CNA, MUTE SOURIS = 1 inhibition),
  - le clignotement du curseur : un signal provenant du Gate Mode Pege : INT 50 Hz provoque des demandes d'interruption (CB1 → IRQB) toutes les 20ms, afin de se brancher à la routine du clignotement du curseur.

## A) GENERAL HARDWARE DESCRIPTION

The central processing unit is based around a MOTOROLA-/EFCIS 6809-E microprocessor, and its design incorporates a performant GATE ARRAY MODE PAGE integration and handler unit.

### a) PROGRAMMING THE GATE MODE PAGE

The GATE MODE PAGE includes six programmable registers (refer to GATE MODE PAGE REGISTERS : page: 22)). These registers contain all data required by the system and ensure that the subbsystem is compatible with the various types of RAM used in several systems.

### b) INTEGRATION

The GATE MODE PAGE (IW18) incorporates :
- address decoding,
- processing and multiplexing of RAM addresses,
- synch generation,
- light pen control,
- video handling, driving the GATE PALETTE (IW10) of 16 colors out of 4096.

### c) MODE PAGE ACCESS

This new method of adressing RAM (two readouts of video RAM during the non-active phase i.e. E = 0) allows 16 bits of video data to be loaded into the transcoding table in two phases, and to work within a single RAM package (RAM 1).

### d) TRANSFORMATION OF RAM ADDRESSES

This allows use of high capacity memory blocks (4464, 41256, etc.) in pages of 8 K and 16 K and ensures compatibility of the GATE MODE PAGE with the various types of RAM of several systems.

### e) 128 Kb RAM

This is divided into 4 RAM packages of 64 K by 4 bits (4464), with each two blocks linked to provide two virtual RAM blocks of 64 Kb, i. e. RAM1 (IW14, IW15) and RAM2 (IW12, IW13). Refer to the block diagram.

### f) 64 Kb ROM

This is divided into two ROM packages of 32 Kb (27256), i. e. (IW01 for BASIC 1 and IW02 for BASIC 128). The two BASICs can be masked by 16 Kb progamme cartridges which plug into the cartridge connector (BW06).

### g) FULL SPECIFICATION MO INTERFACING

The PIA 6821 (IW07) system handles :
- the keyboard,
- switching between ROM banks : CBR,
- programme readouts and writing (LEP),
- the buzzer,
- the light pen,
- the MUTE MOUSE (MUTE SOURIS) : it solves interference problems caused by the of joysticks or the mouse during printing (MUTE MOUSE = 0 : validation of the audio output of DAC, MUTE MOUSE = 1 : inhibition),
- cursor flashing : a signal from the GATE MODE PAGE, INT 50 Hz, generates interrupt requests (CB1 → IRQB) every 20 ms in order to jump to the cursor flashing routine,

- PIA 6821 (IW06) gère : les manettes de jeu, la souris, la synthèse son (conversion numérique-analogique (CNA), d'un mot programmé sur PB0-PB5), l'imprimante.
- CONNECTEUR EXTENSION UNIVERSEL : le brochage est compatible MO (hormis l'absence de BXXX sur pin 17 et la sortie – 5 V non gérée par l'alimentation : qui rend incompatible l'extention communication ancienne version).
- PRISES SCART (PERITEL) et SON (CINCH).
- LEP (intégré).
- CODEUR MODULATEUR PAL (modèles équipés).

- PIA 6821 (W06) handles : joysticks, the mouse, audio synthesis (digital/analog conversion (DAC) of a word programmeed on PB0-PB5) and the printer,
- GENERAL PURPOSE EXPANSION PORT : the pinout is MO - compatible (except for the absence of BXXX on pin 17 and the -5 V output is not controlled by the power supply, which makes the communications extension of the older version incompatible),
- SCART (PERITEL) and AUDIO (CINCH) ports.
- LEP (integrated).
- PAL MODULATOR ENCODER (equipped types).

## B) GESTION DE LA MEMOIRE MORTE

Le GATE MODE PAGE (IW18) pilote :
- La sélection entre l'espace BASIC 1 [(IW01) EPROM 27256] ou l'espace BASIC 128 [(IW02) EPROM 27256].
  Elle est déterminée par le bit D4 de son registre en A7DD.
- Le masquage ou démasquage de l'éventuelle cartouche ROM par le bit D5 de A7DD.
  (voir: «REGISTRES GATE MODE PAGE »: (page :21)).

Il envoie les signaux de sélection $\overline{CS1}$ pour l'EPROM (IW01), $\overline{CS2}$ pour l'EPROM (IW02) et $\overline{CSCART}$ (dans le cas ou une cartouche est enfichée dans le connecteur (BW06), démasquée par D5 de A7DD et reconnue par le signal de présence de la cartouche : PRCART).

Le PIA (IW07) envoie par PA5, le signal CBR de commutation des banques ROM de 16 Ko (A14 sur les EPROM).

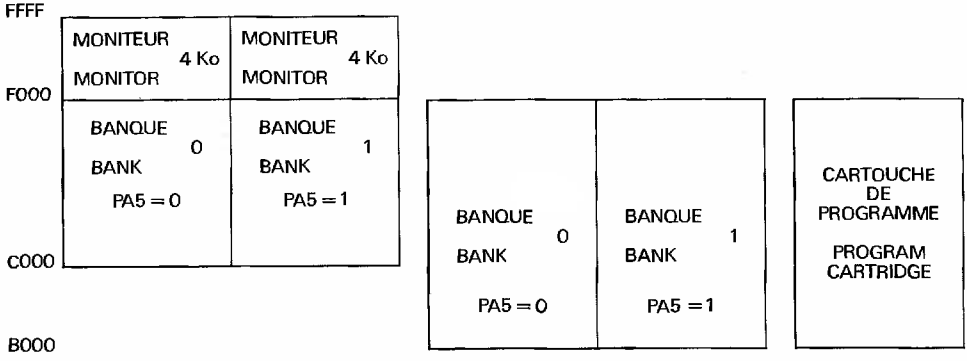
## B) ROM MANAGEMENT

The GATE MODE PAGE (IW18) HANDLES :
- selection between the BASIC 1 [(IW01) EPROM 27256] or the BASIC 128 [(IW02) EPROM 27256]. This is set on bit D4 of A7DD.
- Masking or unmasking of optional ROM cartridges through bit D5 of A7DD.
  (refer to GATE MODE PAGE REGISTERS: (page : 22)).

It sends selection signals $\overline{CS1}$ for EPROM (IW01), $\overline{CS2}$ for EPROM (IW02) and $\overline{CSCART}$ (in the event that a cartridge is plugged into port (BW06), unmasked by D5 A7DD and recognised by the cartridge presence signal : PRCART).

PIA (IW07) sends the CBR signal for switching 16 Kb ROM banks through PA5 (A 14 on EPROMs).

**MAP MÉMOIRE (B 000 – FFFF)**
**MEMORY MAP (B 000 – FFFF)**




EPROM (IW01) 32 Ko
BASIC 1
MONITEUR 4 Ko

EPROM (IW02) 32 Ko
BASIC 12B
EXTRA MONITEUR

CONNECTEUR
(BW06)
ROM 16 Ko

**NOTA :** dans tous les cas, le système doit avoir accès au moniteur 4 Ko, contenu dans la banque 0 de l'EPROM (IW01). C'est pour cette raison, qu'il est recopié dans la banque 1 de l'EPROM (IW01).

**NOTE :** The system must have access to the 4 Kb monitor contained in bank 0 of EPROM (IW01) in all events. For this reason, it is copied in bank 1 of EPROM (IW01).

## C) GESTION DE LA MÉMOIRE VIVE

### a) TRANSFORMATION DES ADRESSES

L'utilisation des boîtiers RAM à grande capacité, conduit à opérer une transformation des adresses, afin de pouvoir accéder à tout l'espace adressable des boîtiers.
En effet, l'espace adressable des boitiers (RAM1, RAM2 voir : A)e) est de 64 Ko (ADRESSES PHYSIQUES : de 0000 à FFFF), celui alloué dans la MAP MÉMOIRE est seulement de 40 Ko (ADRESSES LOGIQUES : de 0000 à 9FFF).
Afin d'organiser la RAM et d'accéder dans celle-ci à des adresses physiques supérieures à 9FFF, on transforme les 3 bits de poids fort de l'adresse logique A15, A14, A13. Ils deviennent RA15, RA14, RA13, (voir synoptique) et sont fonction, du bit forme (interne au bloc « TRANSFORMATION ADRESSES RAM »), du N° de banque désiré et de l'adresse demandée par le microprocesseur (adresse logique).

## C) RAM MANAGEMENT

### a) ADDRESS TRANSFORMATION

The use of high capacity RAM packages has led to address transformation in order to have access to the full addressable area of packages.
The addressable area of packages (RAM 1, RAM 2 ; refer to A)e) is in fact 64 Kb (PHYSICAL ADDRESSES from 0000 to FFFF), whereas that allocated in the memory map is only 40 Kb (LOGICAL ADDRESSES from 0000 to 9FFF).
In order to organise RAM and provide access to physical addresses higher than 9FFF, the three most significant bits of the logical address A15, A14 and A13 are transformed. They become RA15, RA14, and RA13 (see block diagram) and are dependent on the form bit (within the RAM ADDRESS TRANSFORMATION block) from the required bank number and the address requested by the microprocessor (logical address).

**ADRESSES PHYSIQUES (envoyées sur MA0-MA7)**
**PHYSICAL ADRESS (sent on MA0-MA7)**

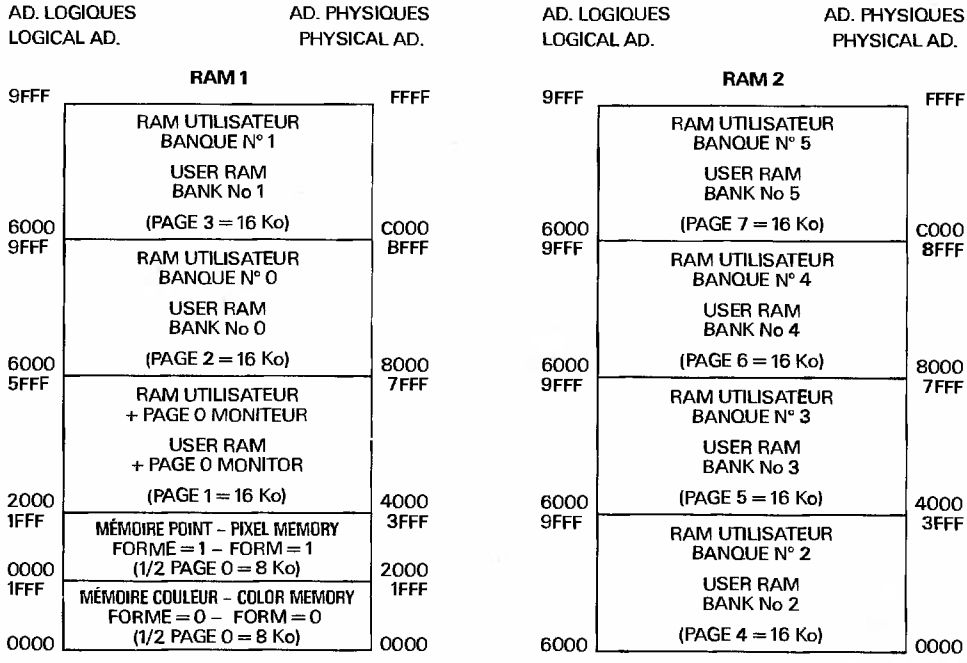
| **RA15** | **RA14** | **RA13** | A12 | A11 | A10 | A9 | **MU8** | A7 | A6 | A5 | A4 | A3 | A2 | A1 | A0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| MSB | | | | | | | | LSB | | | | | | | |

**MU8 :** (voir : C) d) POLYVALENCE)
(See: C) d) COMPATIBILITY)

Ainsi, par cette méthode entièrement transparente à l'utilisateur, la RAM est vue comme 8 pages de 16 Ko. On accède aux pages supérieures en programmant le N° de banque désiré dans A7E5. Ce registre a une influence directe sur la transformation des adresses.

Thus RAM is perceived as **8** 16 Kb pages by virtue of this method which is completely transparent to the user. The top pages are accessed by programming the bank required in A7E5. This register has a direct influence on the transformation of addresses.

**ORGANISATION RAM**
**RAM ORGANISATION**



### b) L'ACCÈS MODE PAGE

La mémoire vidéo (16 Ko) est contenue dans la page 0 du boîtier RAM1.

ÉCRITURE : Par transformation des adresses, en fonction du bit forme, on accède à l'une ou l'autre des deux 1/2 pages 0 (mémoire couleur ou mémoire point).
- bit forme = 0 pas de transformation des adresses. (adresse physique = adresse logique)
- bit forme = 1 transformation. (adresse physique = adresse logique + 2000 (H)).

LECTURE : L'horloge Q est injecté parmi les bits de poids forts de l'adresse de rafraîchissement (voir synoptique) :

### b) MODE PAGE ACCESS

The video memory (16 Kb) is contained in page 0 of package RAM1.

WRITING : One or other of the two 1/2 pages 0 (color memory or pixel memory) is accessed by transforming addresses by a function of form bit, where :
- form bit = 0 : addresses not transformed. (physical address = logical address).
- form bit = 1 : transformation. (physical address = logical address + 2000 (H)).

READOUT : Q clock is injected in the most significant bits of the refresh address (see schematic) :

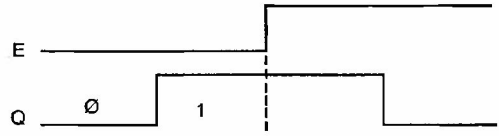
| BE1 | BE0 | Q | TA12 | TA11 | TA10 | TA9 | TU8 | TA7 | TA6 | TA5 | TA4 | TA3 | TA2 | TA1 | TA0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| MSB | | | | | | | | LSB | | | | | | | |

**NOTA** : BE1 BE0 (voir : C)c) PAGE VIDÉO AFFICHÉE). TU8 (voir : C)d) POLYVALENCE).

PENDANT LA PHASE NON ACTIVE E = 0, **Q PREND 2 ÉTATS :**

**NOTE :** BE1 BE0 (see C)c) DISPLAYED VIDEO PAGE) TU8 (see C)d) COMPATIBILITY).

DURING THE NON-ACTIVE PHASE E = 0, **Q CAN ASSUME 2 STATUSES :**




Placé ainsi, Q permet de déterminer **2 adresses distinctes,** pendant la phase non active (E = 0).
- La première adresse concerne la 1/2 page couleur. Q = 0 (adresse de 0000 à 1FFF avec BE1 BE0 = 00).
- La deuxième adresse concerne la 1/2 page point. Q = 1 (adresse de 2000 à 3FFF avec BE1 BE0 = 00)

Cette opération s'éffectue donc indépendement du bit forme.

Ces 2 adresses sont validées par :
**2 CAS CONSÉCUTIFS** pendant la durée d'**1 RAS STATIONNAIRE A L'ETAT BAS : c'est l'accès mode page.**

Voir les chronogrammes : (page : 20).

Les RAM ont bien entendu la possibilité de fonctionner de manière classique ou en accès mode page.

**RÉSULTAT :** On effectue 2 lectures consécutives (pendant la phase non active) dans la RAM1 (une dans la 1/2 page couleur, et une dans la 1/2 page point). Ceci afin de charger, dans la table de transcodage, les 16 bits d'info-vidéo.

Thus placed, Q allows **two separate addresses** to be determined during the non-active phase (E = 0), where :
- the first address concerns the color 1/2 page. Q = 0 (address from 0000 to 1FFF with BE1 BE0 = 00),
- the second address concerns the pixel 1/2 page. Q = 1 (address from 2000 to 3FFF with BE1 BE0 = 00).

This operation is therefore performed independently of the form bit.

These two addresses are validated by :
**2 CONSECUTIVE CASES** during **1 STATIONERY RAS at STATUS LOW : this mode page access.**

Refer to timing diagrams : (page : 20)

RAMs are of course able to operate in the conventional manner or in mode page access.

**RESULT :** two consecutive readouts are performed (during the non-active phase) in RAM 1 (one in the color 1/2 page and one in the pixel 1/2 page), so as to load the 16 video data bits into the transcoding table.

### c) PAGE VIDÉO AFFICHÉE

En donnant des valeurs à BE1 BE0 (voir : C)b) ACCÈS MODE PAGE), respectivement en programmant les bits D7 D6 de A7DD, on peut commander l'affichage des 4 pages 0, 1, 2, 3. La page affichée par défaut est la page 0 (c'est la page écran).
Ici encore, il s'agit d'une transformation d'adresses, afin de pouvoir accéder à ces 4 pages de 16 Ko : en programmant les bits BE1 BE0, l'adresse envoyée par le microprocesseur se trouve modifiée.

EXEMPLES :
- BE1 BE0 = 00 (par défaut à l'initialisation). Dans ce cas l'adresse logique n'est pas transformée (mode classique). On affiche la page 0.
- BE1 BE0 = 01, 10, 11 (en programmant D7 D6 de A7DD). Dans ces 3 autres cas, l'adresse logique est transformée afin de travailler dans les pages supérieures. On affiche respectivement les pages 1, 2, 3.

### c) DISPLAYED VIDEO PAGE

In assigning values to BE1 BE0 (see C)b) PAGE MODE ACCESS) by respectively programming bits D7 D6 of A7DD, the display of the four pages 0, 1, 2 and 3 can be controlled. The page displayed by default is page 0 (this is the screen page).
Once again, addresses are transformed in order to provide access to these 4 16Kb pages : the address sent by the microprocessor is modified by programming bits BE1 BE0.

FOR EXAMPLE :
- BE1 BE0 = 00 (by default on initialisation). In this case, the logical address will not be transformed (conventional mode). Page 0 is displayed ;
- BE1 BE0 = 0,1, 10, 11 (by programming D7 D6 of A7DD). In these three cases, the logical address is transformed to operate in the top pages. Pages 1, 2 and 3 are displayed respectively.

### d) POLYVALENCE

Le Gate mode page, est prévu pour fonctionner sur plusieurs produits avec différents types de RAM. C'est pour cette raison, que certains bits d'adresses, sont modifiables par soft, suivant l'organisation déterminée. Ce sont les bits : MU8, TU8.

On retrouve dans le synoptique :

- Le bloc « TRANSFORMATION DE TA8 » contient le registre A7E7. Suivant l'organisation désirée, (RAM : 4464, 41256, produit...) on adaptera le Gate mode page en programmant dans ce registre (voir : « REGISTRES GATE MODE PAGE »). Pour cet appareil : TU8 = TA8.
- Le bloc « TRANSFORMATION ADRESSES RAM » (comme précèdemment), pour cet appareil : MU8 = A8.

### e) MULTIPLEXAGE DES ADRESSES ET SÉLECTION RAM

Il reste classique selon le principe des RAM dynamiques :

- PHASE NON ACTIVE E = 0 :

  Un premier multiplexeur commute sur les adresses de rafraîchissement.
  Un deuxième multiplexeur envoie les LSB, validation par un $\overline{RAS}$ ↓ ; puis les MSB, (voir : A)c) et C)b) ACCÈS MODE PAGE).
  Le signal R/$\overline{W}$RAM est forcé à 1 (Lecture).

- PHASE ACTIVE E = 1 :

  Un premier multiplexeur commute sur les adresses microprocesseur.
  Un deuxième multiplexeur envoie les LSB, validation par $\overline{RAS}$ ↓ ; puis les MSB, validation par $\overline{CAS}$ ↓.
  Le signal R/$\overline{W}$RAM détermine la lecture (R/$\overline{W}$RAM = 1) ou l'écriture (R/$\overline{W}$RAM = 0) dans la RAM ainsi sélectionnée. Son état est fonction de l'instruction demandée (Ex : LDA (adresse RAM) : R/$\overline{W}$RAM = 1).

## D) GÉNÉRATION SYNCHRO « GATE MODE PAGE (IW18) »

Le signal de fréquence 16 MHz issu de l'oscillateur (IW16), entre sur pin 42 du GATE MODE PAGE. Il pilote les compteurs, diviseurs, décodeurs, du bloc « HORLOGES » ; fournissant les signaux d'horloges nécessaires au système et notamment aux compteurs lignes et trames. Ces compteurs fournissent les signaux nécessaires à la gestion de l'écran :

- Signal de synchronisation ligne et trame : SYNLT (pin 12).
- Signal d'inhibition ligne et trame : INILT (interne) permettant de commander le multiplexeur (rvbp) et de valider soit les info couleurs cadre soit les info couleurs fenêtre de travail.
- Signal de supression ligne et trame SUPLT (pin 13) assurant le blanking vidéo pendant le retour ligne et le retour trame. Il est envoyé sur la pin 23 ou du Gate Palette (IW10).
- Signal de validation DATA VALID (interne) autorisant le chargement des registres de données vidéo dans le bloc « REGISTRES //-SÉRIE ».

Les signaux E (pin 41) et Q (pin 40), sont deux horloges 1 MHz en quadrature. Elles pilotent le microprocesseur.

E = 1 : PHASE ACTIVE (le microprocesseur accède aux mémoires et aux I/O (interfaces entrées/sortie) pour les opérations de lecture ou d'écriture).

E = 0 : PHASE NON ACTIVE (cycle de rafraîchissement pendant lequel on renouvelle le contenu de l'écran).

### d) COMPATIBILITY

The Gate mode page is designed for several systems with different types of RAM. For this reason, certain address bits are software-modifiable according to the established organisation.
These are bits MU8 and TU8.

The block diagram includes :

- TA8 TRANSFORMATION block containing register A7E7. The gate mode page is modified by programming this register (refer to GATE MODE PAGE REGISTERS) depending on the required organisation (RAM 4464, 41256, system etc). In this system, TU8 = TA8.
- The RAM ADDRESS TRANSFORMATION block (as above). In this system, MU8 = A8.

### e) RAM SELECTION AND ADDRESS MULTIPLEXING

This is a conventional design following the principle of dynamic RAMs, i. e. :

- NON-ACTIVE PHASE E = 0 :

  A first multiplexer switches on the refresh addresses. A second multiplexer sends the LSBs, validated by a $\overline{RAS}$ ↓ followed by the MSBs (see A)c)and C)b) MODE PAGE ACCESS). The R/$\overline{W}$RAM signal is preset to 1 (reading).

- ACTIVE PHASE E = 1 :

  One multiplexer switches on the microprocessor addresses. A second multiplexer sends the LSBs, validated by $\overline{RAS}$ ↓, followed by the MSBs. validated by $\overline{CAS}$ ↓.
  The signal R/$\overline{W}$RAM controls whether reading (R/$\overline{W}$RAM = 1) or writing (R/$\overline{W}$RAM = 0) is performed in the RAM thus selected. Its status is a function of the instruction requested (for example : LDA (RAM address) : R/$\overline{W}$RAM = 1).

## D) SYNCH GENERATION « GATE MODE PAGE (IW 18) »

The 16 MHz signal from the oscillator (IW16) arrives on pin 42 of the GATE MODE PAGE. It drives the counter, dividers and decoders of the CLOCK block which supplies the clock signals required for the system, notably for line and frame counters. These counters supply the signals for screen management, i.e. ;

- line and frame synchronisation signal SYNTL (pin 12),
- line and frame inhibition signal INILT (internal) providing control of the multiplexer (rvbp) and validating either frame color data or working window color data,
- line and frame suppression signal SUPLT (pin 13) which performs video blanking during line and frame return. It is sent on pin 23 of the gate palette (IW10),
- validation signal DATA VALID (internal) which enables the loading of video data registers in the REGISTERS//SERIES block.

Signals E (pin 41) and Q (pin 40) are two 1 MHz clocks in quadratic form. They drive the microprocessor.
E = 1 : ACTIVE PHASE (the microprocessor accesses memory and I/O interfaces for read and write operations).
E = 0 : NON-ACTIVE PHASE (refresh cycle during which the screen contents are renewed).

## E) GESTION DU CRAYON OPTIQUE « GATE MODE PAGE (IW18) »

Cette fonction, permet d'informer le microprocesseur, de l'emplacement de la visée du creyon optique, dans la fenêtre de travail.
La précision est celle du point : 1/64000e.

Les compteurs lignes-trames indiquent en permanence la position du spot, donc du point affiché sur l'écran.
Cette position est définie :
- par l'adresse des données vidéo du GPL (Groupement Ligne Point) soit : TA12-TA0,
- par la position du point dans ce GPL définie par H1, H2, H4 : horloges 1, 2, et 4 MHz,
- par la position du spot : dans la fenêtre de travail ou dans le cadre : LT3, $\overline{\text{INIL}}$, $\overline{\text{INIT}}$.

Dès que l'utilisateur fait une visée sur l'écran, le photo-transistor du crayon, détecte la lumière du spot et provoque une série d'impulsions CKLP (après traitement T24, T23, T22).
Ces impulsions, sont la commande de chargement de 4 registres (A7E4, A7E5, A7E6, A7E7), par les indications des compteurs lignes-trames vues précédemment. (voir : « REGISTRES GATE MODE PAGE » : (page : 21)).
Ces impulsions, déclenchent en plus, la $\overline{\text{FIRQ}}$ de branchement à la routine de traitement crayon optique. Cette $\overline{\text{FIRQ}}$, est générée par le Gate lui même et automatiquement. Elle est toutefois masquable par D0 de A7E4 (D0 : 0 masquée, D0 = 1 autorisée). Le test (la lecture) se fait dans le registre A7E7 (D0) qui est une recopie de D0 de A7E4.

Une demande de validation par pointage du crayon peut être ordonnée. Dans ce cas la routine viendra tester PA1 du PIA (IW07) :
- Crayon pointé : INTERLP (Interrupteur Light pen) fermé, PA1 = 1 : autorisation traitement crayon optique.
- Crayon non pointé : INTERLP ouvert, PA1 = 0 masquage.

## E) LIGHT PEN HANDLING « GATE MODE PAGE (IW18) »

This function informs the microprocessor of the location indicated by the light pen in the working window.

Resolution is calculated in pixels, i. e. 1/64000e.

The line/frame counters permanently contain the position of the spot, and therefore of the pixel displayed on the screen.
Its position is set means of :
- the address of video data of the PLG (pixel line group) i. e. : TA12-TA0,
- the position of the pixel in this PLG as set by H1, H2 and H4 : 1, 2, and 4 MHz clocks,
- the position of the spot in the working window or the frame : LT3, $\overline{\text{INIL}}$, $\overline{\text{INIT}}$.

When the user indicates on screen, the pen phototransistor detects the light of the spot and generates a series of CKLP pulses (after processing T24, T23, T22). These pulses are the instruction for loading four registers (A7E4, A7E5, A7E6 and A7E7) by the data of the frame/line counters mentioned above (see GATE MODE PAGE REGISTERS : (page : 22)).
These pulses also activate the $\overline{\text{FIRQ}}$ for connection of the light pen processing routine. This $\overline{\text{FIRQ}}$ is generated automatically by the gate itself. It can however be masked by D0 of A7E4 (D0 = 0 : masked ; D0 = 1 : enabled). The test (reading) is performed in register A7E7 (D0) which is a copy of D0 of A7E4.

A request for validation through indication with the pen can be requested. In this case, the routine tests PA1 of PIA (IW07), where :
- pen indicates : INTERLP (light pen switch) closed, PA1 = 1 : light pen processing enabled,
- pen does not indicate : INTERLP open PA1 = 0 : masking.

## F) GESTION AFFICHAGE « GATE MODE PAGE (IW18) »

Les différents modes d'affichage proposés sont un compromis entre la définition de l'image et le nombre de couleurs, l'augmentation de l'un se faisant au détriment de l'autre.

La mémoire écran, 16 Ko, se situe dans le boitier RAM1. Elle est organisée en deux 1/2 pages de 8 Ko (1/2 page couleur et 1/2 page point). Le microprocesseur accède en écriture à l'une des deux 1/2 pages, en fonction du bit forme, (interne au bloc TRANSFORMATION DES ADRESSES), par transformation d'adresses (voir : C)a) et C)b). Ces deux 1/2 pages, sont lues successivement toutes les micro-secondes, pour le rafraîchissement de l'écran, suivant le principe de l'accès mode page (voir : C)b). L'info vidéo envoyée dans la table de transcodage est alors composée de 16 bits.

Une fois dans la table de transcodage, les 16 bits d'info vidéo sont organisés, selon le mode demandé par programme, dans le registre de commande affichage A7DC (voir : « REGISTRES GATE MODE PAGE » (page 21)). Puis ils sont chargés dans les registres //-SÉRIE par la commande DATA VALID (voir : D) GENERATION SYNCHRO). Ces registres sont organisés comme précédemment, selon le mode demandé par programme. Ils sont ensuite sérialisés par l'horloge $\varphi$ POINT, vers le Gate Palette, sur 1, 2, 3, ou 4 fils du bus adresses couleurs, à 4, 8 ou 16 MHz selon le mode.
**NOTA :** La sérialisation sur 1 fils du bus adresses couleurs, détermine 2 couleurs dans le Gate Palette ; sur 2 fils : 4 couleurs... (voir : G) GESTION DES COULEURS).

## F) DISPLAY HANDLING « GATE MODE PAGE (IW18) »

The various display modes provided are a compromise between display resolution and the number of colors, where the enhancement of one is to the detriment of the other.

The 16Kb screen memory is situated in package RAM 1. It is formatted in two 8Kb 1/2 pages (color 1/2 page and pixel 1/2 page). The microprocessor accesses one of the two 1/2 page for writing as a function of the form bit (within ADDRESS TRANSFORMATION block) through address transformation (see C) and C)b)). The two 1/2 pages are read in succession every microsecond for scraen refresh in accodance with th mode page access principale (see C)b)). The video data sent to the transcoding table is then composed of 16 bits.

Once within the transcoding table, the 16 bits of video data are formatted in accordance with the mode requested by the programme, in display control register A7CD (see GATE MODE PAGE REGISTERS : (page : 22)). They are loaded in the //-SERIES registers by the DATA VALID instruction (see D) SYNCH GENERATION). These registers are formatted as above, according to the mode requested by the programme. They are then serialised by clock $\varphi$ POINT and sent to the gate palette on 1, 2, 3 or 4 wires of the color address bus at 4, 8 or 16 MHz depending on the mode.
**NOTE :** serialisation on one wire of the color address bus sets two colors in the gate palette ; on two wires, 4 colors are set, etc (see G) COLOR HANDLING).

La couleur du cadre est définie en écrivant un mot de 4 bits dans le registre couleur cadre A7DD. Ces 4 bits, sont commutés au rythme de INILT avec les 4 bits de données vidéo (voir : D) GÉNÉRATION SYNCHRO).

Ce principe permet de disposer de 7 modes d'affichage.

**a) MODE M0 40 COLONNES**

Ce mode de fonctionnement assure la compatibilité ascendante. Il est basé sur un principe désormais classique :

Le contenu informationnel des 16 bits de données vidéo (dans les registres //-série) est le suivant :

- V0 à V3 : 4 bits d'info couleur fond.
- V4 à V7 : 4 bits d'info couleur forme.
- V8 à V15 : 8 bits d'info point (forme/fond).

Les 2 mots de 4 bits d'info couleur, sont commutés par chaque bit du mot d'information point, sérialisé à la fréquence 8 MHz. Ils sont envoyés sur les 4 fils du bus adresses couleurs :

The color of the frame is set by writing a four-bits word in the frame color register A7DD. These four bits are switched at the rhythm of INILT with the four video data bits (see D) SYNCH GENERATION).

This principle provides seven display modes.

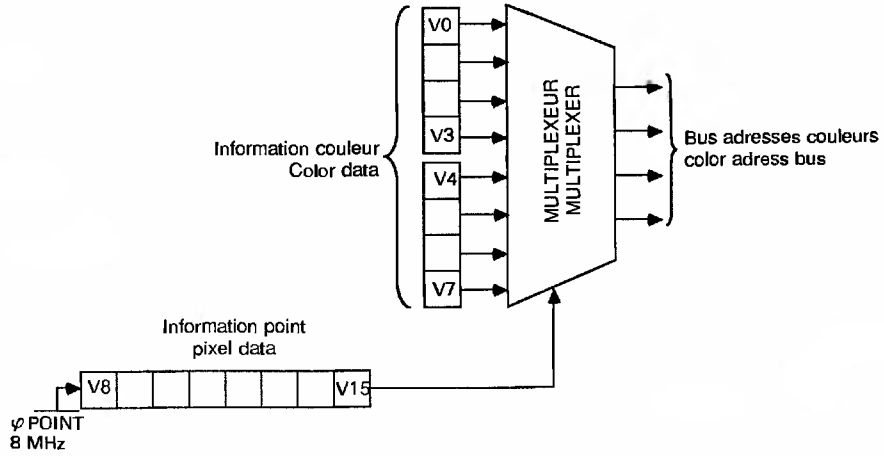
**a) MO 40-COLUMN MODE**

This operating mode ensures upward competibility between systems. It is based on a principle that has become classic :

The data content of the 16 video data bits (in the // series registers is as follows :

V0 to V3 : 4 bits of background color data.
V4 to V7 : 4 bits of form color data.
V8 to V15 : 8 bits of pixels data (form/background).

The two four-bit words of color data are switched by each bit of the pixel data word serialised at 8 MHz frequency. They are sent on the four wires of the color address bus :




Nombre de couleurs possibles à l'écran : 16.
Nombre de couleurs possibles par GPL (8 POINTS) : 2.
Résolution : 320 x 200.

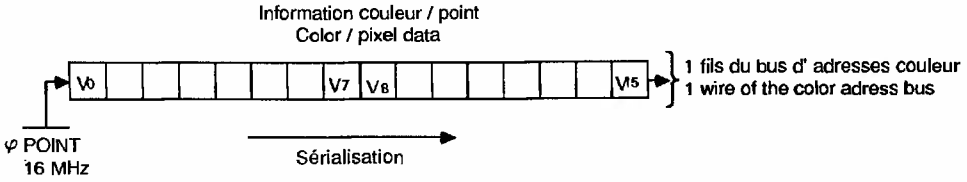
Number of colors possible on-screen : 16.
Number of colors possible through PLG (8 pixels) : 2.
Resolution : 320 x 200.

**b) MODE 80 COLONNES**

Ce mode d'affichage utilise les 16 bits d'info vidéo, comme information point (forme/fond). Ils sont sérialisés directement à 16 MHz, sur 1 fils du bus adresses couleurs :

**b) 80 COLUMN MODE**

This display mode uses 16 bits of video data as pixel data (form/background). They are serialised directly at 16 MHz on one wire of the color address bus :




Nombre de couleurs possibles à l'écran : 2.
Résolution : 640 x 200.

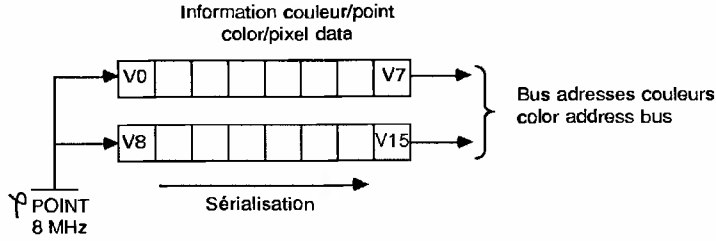
Number of color possible on-screen : 2.
Resolution : 640 x 200.

**c) MODE BIT MAP 4**

Les 16 bits d'info vidéo sont organisés en 2 mots de 8 bits. Ils sont sérialisés simultanément et directement à 8 MHz, sur 2 fils du bus adresses couleurs :

**c) BIT MODE MAP 4**

The 16 bits of video data are formatted in two 8-bit words, and are serialised simultaneously and directly at 8 MHz on two wires of the color address bus :




Nombre de couleurs possibles à l'écran : 4.
Nombre de couleurs possibles par point : 4.
Résolution : 320 x 200.

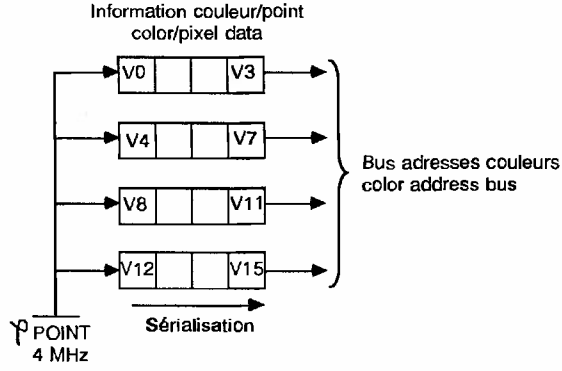
Number of colors possible on-screen : 4.
Number of colors possible per pixels : 4.
Resolution : 320 x 200.

**d) MODE BIT MAP 16**

Les 16 bits d'info vidéo sont organisés en 4 mots de 4 bits. Ils sont sérialisés simultanément et directement à 4 MHz, sur les 4 fils du bus adresses couleurs.

**d) BIT MODE MAP 16**

The 16 bits of video data are formatted in four words of four bits. They are serialised simultaneously and directly at 4 MHz on the four wires of the color address bus.




Nombre de couleurs possibles à l'écran : 16.
Nombre de couleurs possibles par point : 16.
Résolution : 160 x 200.

Number of colors possible on screen : 16.
Number of colors possible per pixel : 16.
Resolution : 160 x 200.

**e) MODE PAGE (PAGE 1/PAGE 2)**

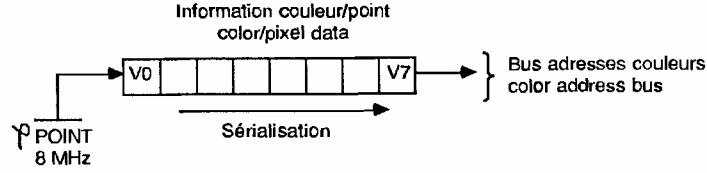
Les 16 bits d'info vidéo sont organisés en 2 mots de 8 bits, chaque mot représentant une entité d'information complète et indépendante. Ils sont sérialisés à 8 MHz, indépendement pour l'une ou l'autre des 2 pages, sur 1 fils du bus adresses couleurs. On dispose ainsi de 2 pages d'écran distinctes.

Exemple pour une page (page 1) :

**e) MODE PAGE (PAGE 1/ PAGE 2)**

The 16 bits of video data are formatted in two words of 8 bits, where each word represents a complete and separate datum. Each of the two pages is separately serialised at 8 MHz on one wire of the color address bus. This therefor provides two separate screen pages.

Example for one page (page 1) :




Nombre de couleurs possibles à l'écran (1 page) : 2.
Résolution : 320 x 200.

Number of colors possible on-screen (1 page) : 2.
Resolution : 320 x 200.

### f) MODE SUR-IMPRESSION

Les 16 bits d'info vidéo sont organisés en 2 mots de 8 bits :
- V0 à V7 : contenu informationnel du 2e plan.
  bit = 0 pixel transparent (vue sur le 1er plan).
  bit = 1 pixel couleur 1 dans la palette.
- V8 à V15 : contenu informationnel du 1er plan. (2 couleurs).

Les 2 mots de 8 bits d'info vidéo sont sérialisés directement selon le principe du bit map 4.

### g) MODE TRIPLE-SUR-IMPRESSION

Les 16 bits d'info vidéo sont organisés en 4 mots de 4 bits :
- V0 à V3 : contenu informationnel du 4e plan.
  bit = 0 pixel transparent (vue sur le 3e plan).
  bit = 1 couleur 1 dans la palette.
- V4 à V7 : contenu informationnel du 3e plan.
  bit = 0 pixel transparent (vue sur le 2e plan).
  bit = 1 couleur 2 dans la palette.
- V8 à V11 : contenu informationnel du 2e plan.
  bit = 0 pixel transparent. (vue sur le 1er plan).
  bit = 1 couleur 3 dans la palette.
- V12 à V15 : contenu informationnel du 1er plan (2 couleurs).

Les 4 mots d'info vidéo sont sérialisés selon le principe du bit map 16.

### f) OVERPRINTING MODE

The 16 bits of video data are organised in two words of 8 bits, i.e. :
- V0 to V7 : data content of second plane.
  8it = 0 : trsnsparent pixel (seen on first plane).
  Bit = 1 : color pixel 1 in palette.
- V8 to V15 : data content of first plane (two colors).

The two video data words of 8 bits are serialised directly in accordance with the principle of bit map 4.

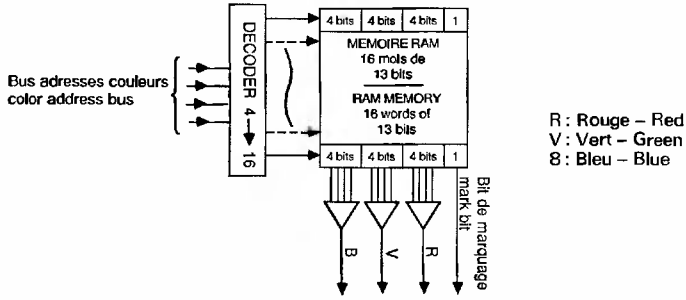
### g) TRIPLE-OVERPRINTING MODE

The 16 bits of video data are formatted in four words of four bits, i. e. :
- V0 to V3 : data content of fourth plane.
  Bit = 0 : transparent pixel (seen on third plane).
  Bit = 1 : color 1 in palette.
- V4 to V7 : data content of third plane.
  Bit = 0 : transparent pixel (seen on second palne).
  Bit = 1 : color 2 in palette.
- VB to V11 : data content of second plane.
  Bit = 0 : transparent pixel (seen on first plane).
  Bit = 1 : color 3 in palette.
- V12 to V15 : data content of first plane (2 colors).

The four words of video data are serialised accoding to the principle of bit map 16.

## G) GESTION DES COULEURS « GATE PALETTE (IW10) »

## G) COLOR HANDLING « GATE PALETTE (IW10) »




La fonction principale de ce circuit, est de générer les 3 composantes primaires vidéo (RVB), plus 1 bit de marquage destiné à assurer la transparence à l'incrustation vidéo.

Chaque composante est codée sur 4 bits (registres 4 bits). Une composante peut donc prendre 16 états logiques différents.

3 convertisseurs numérique-analogique déterminent un potentiel proportionnel au mot programmé dans ces registres. Le potentiel de chaque composante primaire est ainsi variable sur 16 niveaux de tension.

En sortie RVB nous disposerons donc de $16^3$ configurations possibles, soit 4096 couleurs possibles.

Le Gate Palette intègre une RAM de 16 mots de 13 bits : 1 mot = 3 registres de 4 bits + 1 bit de marquage. Chaque mot est programmable (PALETTE X, Y, Z) et définit une couleur.

Une adresse présente sur le bus adresses couleurs place en sortie RVB M, un des 16 mots correspondant à cette adresse. Le décodeur 4 → 16 occupe cette fonction.

L'instruction d'attribution de couleur (PALETTE X, Y, Z) met en œuvre une routine de traitement dont les principales phases sont les suivantes :

The main function of this circuit is to generate the three primary video components (RVB) plus one mark bit to provide transparence for video inplaying.

Each component is encoded over four bits (four-bit registers). A component can therefore assume 16 different logical statuses.

Three digital/analog convertors fis a potential as a function of the word programmed in these registers. The potential of each primary component can therefore vary between 16 voltage levels.

There are thus $16^3$ configurations possible at the RVB output, namely 4096 different colors.

The gate palette integrate a RAM of 16 13-bit words, where : 1 word = 3 registers of 4 bits + 1 mark bit. Each word is programmable (PALETTE X, Y, Z) and sets a color.

An address present on the color address bus places one of the 16 words corresponding to this address at the output RVBM. Decoder 4-16 performs this function.

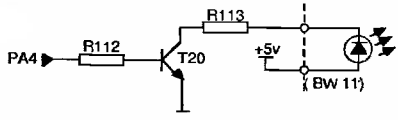
The color assignment instruction (PALETTE X, Y, Z) utilises a processing routine of which the main phases are as follows :

– Sélection du registre d'adresse du Gate Palette (A7DA).
– Écriture dans le registre d'adresse de l'argument X (0 à 15), permettant d'adresser 1 parmi 16 mots de 13 bits.
– Sélection du ragistre couleur (A7DB).
– Écriture dans le registre couleur adressé de l'argument Y (0 à 4096), attribution d'une couleur parmi les 4096 (12 bits) et de l'argument Z (0 ou 1) (bit de marquage).
Cette phase nécessite 2 opérations d'écriture.

## H) GESTION CLAVIER « PIA 6821 (IW07) »

Le clavier dispose de :
59 touches alphanumériques
5 touches de gestion curseur
5 touches de fonction
Les ordres basics.

Une led sur la touche shift-lock permet de visualiser le type de fonctionnement (Majuscule/minuscule). Le bit PA4 du PIA (IW07) envoie le signal de commande de cette led (via T20) de la manière suivante :




Les 69 touches sont réparties dans une matrice de 9 lignes (X0 à X8) / 8 colonnes (Y0 à Y7).
Les 9 lignes sont balayées par un niveau 0. PB1-PB3, PA3 du PIA (IW07) commandent ce balayage, via le décodeur lignes [(IW09) 74LS156] pour (X0 à X7) et directement par PA3 pour X8.
Les 8 colonnes sont forcées à 1 par 8 résistances de pull-up. Elles sont lues séquentiellement sur PB7, via le multiplexeur colonnes [(IW08) 74LS151], commandé par PB4-PB6.
Une touche enfoncée correspond à un shunt ligne-colonne.
Le microprocesseur fait le test touche enfoncée par une lecture de PB7 :
– PB7 = 1 : pas de touche enfoncée.
– PB7 = 0 : touche enfoncée (prise en compte du code de la ligne à 0 et de la colonne lue, soit : PB1-PB3, PA3/PB4-PB6 « code touche »).

– gate palette address register selected (A7DA).
– Argument X written in the address register (0 to 15) allowing 1 out of 16 13-bit words to be addressed.
– The color register is selected (A7DB).
– Argument Y is written in the addressed color register (0 to 4096). 1 color out of 4096 and argument Z (0 or 1 - mark bit) is assigned.
This phase requires two write operations.

## H) KEYBOARD HANDLING « PIA 6821 (IW07) »

The keyboard includes :
59 alphanumeric keys,
5 cursor control keys,
5 function keys
basic instructions.

An LED on the shift-lock key indicates upper case or lower case mode. Bit PA4 of the PIA (IW07) sends the control signal to this LED (via T20) as follows :

| PA4 | T20 | LED | MODE |
|---|---|---|---|
| 0 | Bloqué<br>Locked | Éteinte<br>OFF | Minuscule<br>Lower case |
| 1 | Saturé<br>Full | Allumée<br>ON | Majuscule<br>Upper case |

The 69 keys are distributed over a matrix of 9 lines (X0 to X8) and 8 columns (Y0 to Y7).
The 9 lines are scanned by a level 0. PB1-PB3 and PA3 of the PIA (IW07) control scanning through the line decoder ((IW09) 74LS156) for (X0 to X7) and directly through PA3 for X8.
The 8 columns are preset to 1 by means of 8 pull-up resistors. They are read sequentially on PB7 via the column multiplexer ((IW08 74LS151), controlled by PB4-PB6.
A depressed key causes a line/column shunt. The microprocessor performs the key depression test by reading PB7, where :
– PB7 = 1 : no key depressed,
– PB7 = 0 : key depressed (the code of the line at 0 and of the column read is registered, namely : PB1 PB3, PA3/PB4-PB6 "key code").

## TABLES DE VÉRITÉ / TRUH TABLES

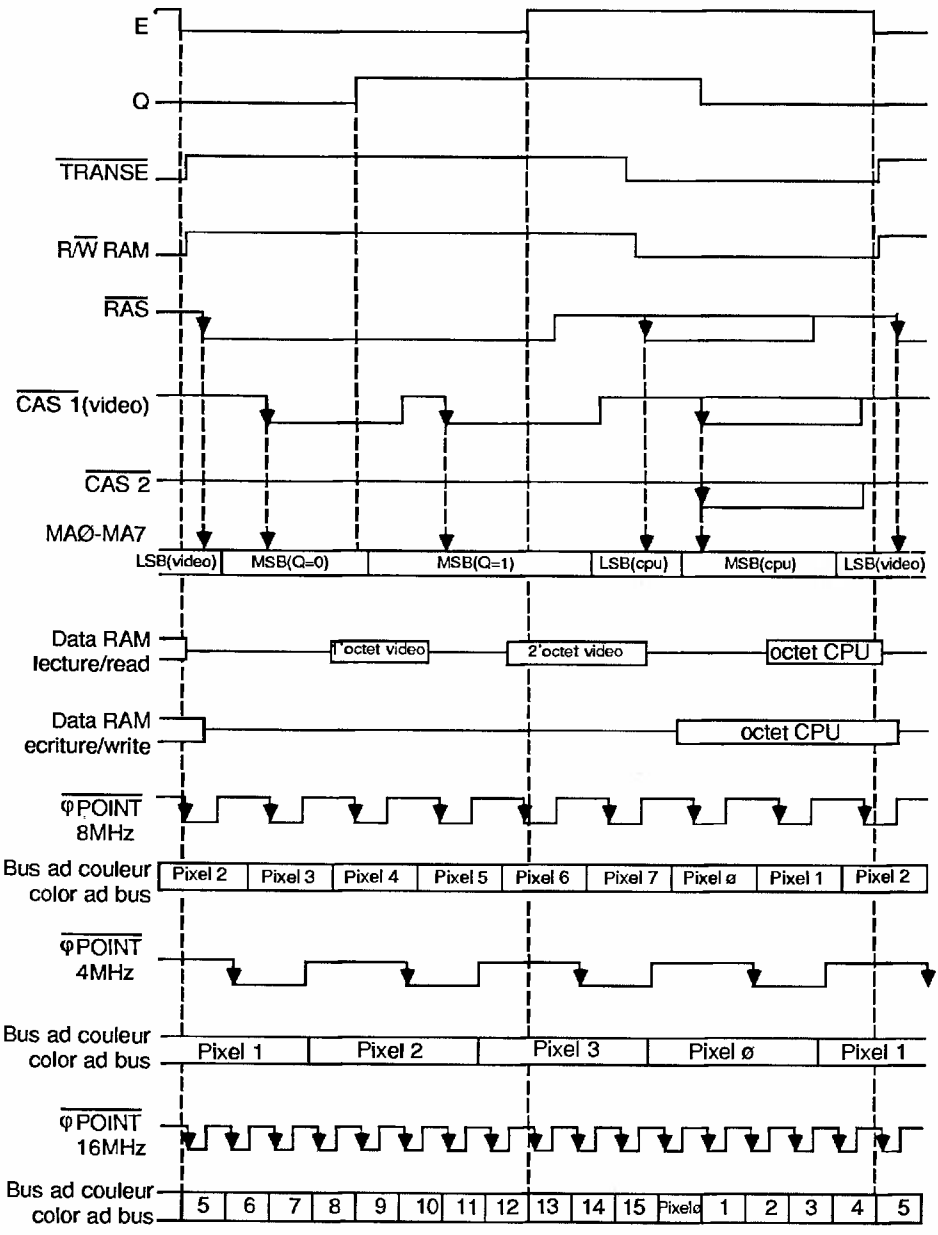
DÉCODAGE LIGNE / LINE DECODING
[(IW09) 74LS156]

| VALID | ENTREES INPUT | | | SORTIES OUTPUT | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|
| $\overline{S}_X$ | $C_X$ | $B_X$ | $A_X$ | $X_7$ | $X_6$ | $X_5$ | $X_4$ | $X_3$ | $X_2$ | $X_1$ | $X_0$ |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | X | X | X | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

MULTIPLEXAGE COLONNE / COLUMN MULTIPLEXING
[(IW08) 74LS151]

| VALID | ENTREES INPUT | | | SORTIES OUTPUT |
|---|---|---|---|---|
| $\overline{S}_y$ | $C_y$ | $B_y$ | $A_y$ | Y |
| 1 | X | X | X | 0 |
| 0 | 0 | 0 | 0 | $Y_7$ |
| 0 | 0 | 0 | 1 | $Y_6$ |
| 0 | 0 | 1 | 0 | $Y_5$ |
| 0 | 0 | 1 | 1 | $Y_4$ |
| 0 | 1 | 0 | 0 | $Y_3$ |
| 0 | 1 | 0 | 1 | $Y_2$ |
| 0 | 1 | 1 | 0 | $Y_1$ |
| 0 | 1 | 1 | 1 | $Y_0$ |

## CHRONOGRAMMES – TIMING DIAGRAM

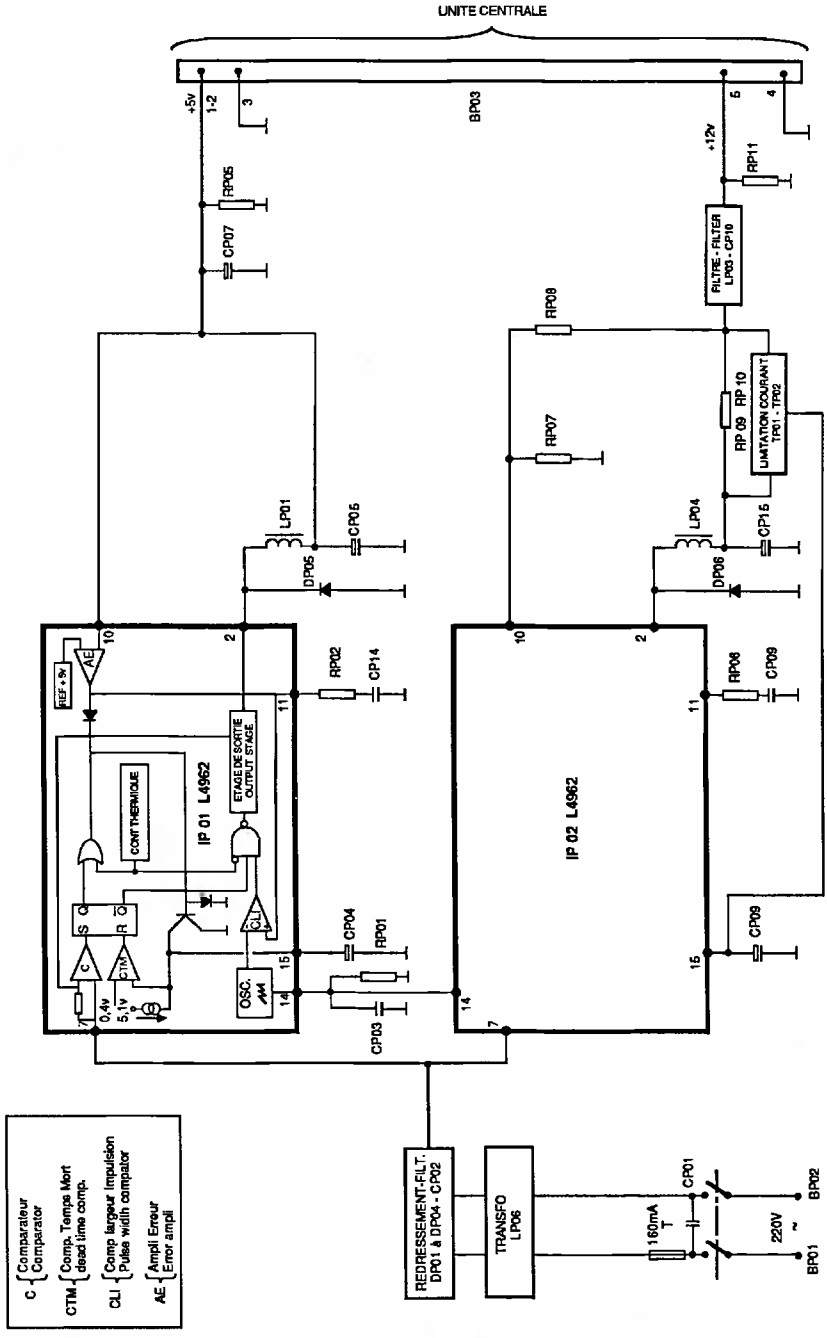


| D7 | D5 | D5 | D4 | D3 | D2 | D1 | D0 | L/E | CONDITION D'ACCES | REGISTRE |
|---|---|---|---|---|---|---|---|---|---|---|
| Ø (Réservé) | Ø (Réservé) | Ø (Réservé) | Ø (Réservé) | Ø (Réservé) | Ø (Réservé) | Ø (Réservé) | Ø Système/ Cartouche/ Ramutil 1 crayon optique | E | | **A7E4** "SYSTEME 2" ou "CRAYON OPTIQUE" |
| N° page RAM affichée [lecture O7-D4 de (A7DD)] | | Masque présence cart | Sélection basic | Ø | Ø | Ø | Ø | L | DØ de A7E4 écrit à Ø | |
| 8 bita de poids fort du compteur crayon optique | | | | | | | | L | DØ de A7E4 écrit à 1 | |
| TA12 | TA11 | TA10 | TA9 | TA8 | TA7 | TA6 | TA5 | | | |
| Ø Accès A7DC autorisé 1 accès A7DC inhibé | Ø | Ø | N° BANK (N° PAGE RAM UTILISATEUR) | | | | | E | D4 de A7E7 écrit à 1 | **A7E5** "RAM UTILISATEUR" ou "CRAYON OPTIQUE" |
| Ø | Ø | Ø | IDEM (LECTURE) | | | | | L | DØ de A7E4 écrit à Ø | |
| 8 bits de poids faible du compteur crayon optique | | | | | | | | L | DØ de A7E4 écrit à 1 | |
| TA4 | TA3 | TA2 | TA1 | TAØ | H1 | H2 | H4 | | | |
| Ø | (Réservé) | Ø (Réservé) | (Réservé) | | | | | E | | **A7E6** "ESPACE CART." ou "CRAYON OPTIQUE" |
| Ø | IDEM (LECTURE) | | | | | | | L | DØ de A7E4 écrit à Ø | |
| Position du spot/Fenêtre d'aff. LT3 Ø bord gauche 1 bord droit | INIL Ø hors fenêtre 1 dans fenêtre | Ø | Ø | Ø | Ø | Ø | Ø | L | DØ de A7E4 écrit à 1 | |
| Non utilisé | (Réservé) | Trame Ø 625 lignes 1 525 lignes | Commutation de banque Ø par PIA 1 par A7E5 | Type d'ordinateur | | Type de RAM ØØ 256 K x 1 / 256 K x 4 1Ø 128 K x 1 11 64 K x 4 | | E | | **A7E7** "SYSTEME 1" |
| Position du spot par rapport à la fenêtre d'affichage Ø bord supérieur ou inférieur INIT 1 dans fenêtre Val. instantanée / Val. latchée | INIL Ø hors fenêtre 1 dans fenêtre | Ø | Ø | Ø | Interruption crayon optique Ø pas d'interrup. 1 interruption | Copie DØ de A7E4 | | L | | |
| Ø (Réservé) | Organisation des données vidéo ØØ mode 4Ø colonnes Ø1 autres modes 1Ø bit MAP 4 spécial 11 bit MAP 16 | | Fréquence de sérialisation Ø POINT ØØ 8 MHz Ø1 16 MHz 11 4 MHz | | Mode d'affichage ØØØ 4Ø colonnes 1ØØ page 1 ØØ1 bit MAP 4 1Ø1 page 2 Ø1Ø 8Ø colonnes 11Ø surimpression Ø11 bit MAP 16 111 triple surimpression | | | E | Ecriture seule | **A7DC** "AFFICHAGE" |
| N° de la page RAM affichée BE1 BEØ | | Masque présence cartouche Ø cart. visible 1 cart. masquée | Sélection basic Ø basic 1 1 basic 128 | N° de la couleur du tour de l'écran | | | | E | Ecriture seule | **A7DD** "SYSTEME 2" |

| D7 | D6 | D5 | D4 | D3 | D2 | D1 | DØ | R/W | ACCES CONDITIDNS | REGISTER |
|---|---|---|---|---|---|---|---|---|---|---|
| Ø (Reserved) | Ø (Reserved) | Ø (Reserved) | Ø (Reserved) | Ø (Reserved) | Ø (Reserved) | Ø (Reserved) | Ø System/ Cartridge user RAM 1 light pen | W | | A7E4 « SYSTEM 2 » or « LIGHT PEN » |
| Displayed RAM page number [read in D7-D4 key (A7DD)] | | Cart presence mask | Basic selection | Ø | Ø | Ø | Ø | R | DØ of A7E4 set to Ø | |
| 8 most significant bits of light pen counter | | | | | | | | R | DØ of A7E4 set to 1 | |
| TA12 | TA11 | TA10 | TA9 | TA8 | TA7 | TA6 | TA5 | | | |
| Ø acces A7DC autorised 1 acces A7DC inhibed | Ø | Ø | BANK NUMBER (USER RAM PAGE NUMBER) | | | | | W | D4 of A7E7 set to 1 | A7E5 « USER RAM » or « LIGHT PEN » |
| Ø | Ø | Ø | AS ABOVE (READ-IN) | | | | | R | DØ of A7E4 set to Ø | |
| 8 least significant bits of light pen countar | | | | | | | | R | DØ of A7E4 set to 1 | |
| TA4 | TA3 | TA2 | TA1 | TAØ | H1 | H2 | H4 | | | |
| Ø | (Reserved) | Ø (Reserved) | (Reserved) | | | | | W | | A7E6 « CART. AREA » or « LIGHT PEN » |
| Ø | AS ABOVE (READ-IN) | | | | | | | R | DØ of A7E4 set to Ø | |
| Position of spot/Display window LT3 Ø left hand edge 1 right hand edge | IMIL Ø outside window 1 within window | Ø | Ø | Ø | Ø | Ø | Ø | R | DØ of A7E4 set to 1 | |
| Not used | (Reserved) | Frame Ø 625 lines 1 525 lines | Bank switcher Ø by PIA 1 by A7E5 | Type of computer | | Type of RAM ØØ 256 K x 1 Ø1 256 K x 4 1Ø 128 K x 1 11 64 K x 4 | | W | | A7E7 « SYSTEM 1 » |
| Position of spot/Display window Ø upper or lower edge 1 within window instantaneous val. latched val. | | Ø outside window 1 within window | Ø | Ø | Ø | Light pen interrupt Ø not inter. 1 intarrupt. | Copy DØ of A7E4 | R | | |
| Ø (Reserved) | Video data organisation ØØ 4Ø column mode Ø1 other modes 1Ø bit MAP 4 special 11 bit MAP 16 | | Serialising frequency φ POINT ØØ 8 MHz Ø1 16 MHz 11 4 MHz | | Display mode ØØØ 4Ø column mode ØØ1 bit MAP 4 Ø1Ø 8Ø column Ø11 bit MAP 16 | | 1ØØ page 1 1Ø1 page 2 11Ø overprinting 111 triple overprinting | W | Write only | A7DC « DISPLAY » |
| Number of display RAM page BE1 BEØ | | Cartridge presence mask Ø cart visible 1 cart masked | Basic selection Ø Basic 1 1 Basic 128 | Number of colour of screen surround | | | | W | Writa only | A7DD « SYSTEM 2 » |

# ALIMENTATION – POWER SUPPLY

## SCHÉMA SYNOPTIQUE – BLOCK DIAGRAM



# PRINCIPE DE FONCTIONNEMENT
# OPERATING MODE

## A) GÉNÉRALITÉS

L'alimentation est du type « step down ».
A partir d'une tension secteur comprise entre 187 et 264 V, 50-60 Hz, elle fournit les tensions + 5 V et + 12 V.
Elle est réalisée autour de 2 circuits intégrés L 4962 : modulateurs de largeur d'impulsion, qui assurent aussi le découpage de puissance. Ils comportent une limitation de courant interne (protection contre les court-circuits).

## B) FONCTIONNEMENT DU MODULATEUR DE LARGEUR D'IMPULSION « L 4962 (IP01) (IP02) »

Une fraction de la tension de sortie est comparée à une référence interne de + 5 V. La différence obtenue est amplifiée puis comparée à la tension en dent de scie de l'oscillateur.
Le résultat de la comparaison, amplifié, agit sur le temps de conduction t du transistor de découpage K et ainsi permet la régulation de la tension de sortie.

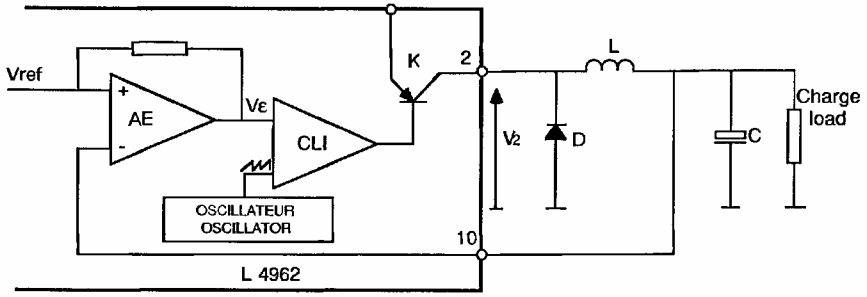
## A) GENERAL

The power supply is a step down system.
It supplies + 5 V and + 12 V voltages from an AC input between 187 and 264 V, 50/60 Hz.

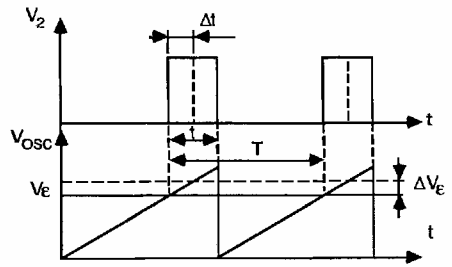
It is based around two L 4962 integrated circuits, which are pulse width modulators that also break down the power. They incorporate an internal current limiter (for protection against short circuits).

## B) PULSE WIDTH MODULATOR OPERATION « L 4962 (IP01) (IP02) »

A fraction of the output voltage is compared with an internal reference of + 5 V. The differential obtained is amplified and then compared with the voltage of the oscillator.
When amplified, the result of the comparison governs the conduction time t of the breakdown transistor K, thus regulating the output voltage.




AE : Ampli d' Erreur - Error Ampli
CLI : Comparateur Largeur Impulsion - pulse width comparator



## C) ANALYSE DU SCHÉMA

Le filtre constitué de CP01 atténue l'amplitude d'éventuels parasites.

Le pont de diodes DP01 à DP04 effectue le redressement de la tension secteur ramenée à 17 V, par le transformateur LP06.

Le condensateur CP02 assure le filtrage de la tension redressée. Sa valeur influe sur la tenue aux micro-coupures. On obtient à ces bornes une tension continue de + 23 V, envoyée sur la pin 7 (entrée) des L 4962.

Les condensateurs C11 à C13, renforcent l'action du filtre CP01.

LP01 (LP04), DP05 (DP06) et CP05 (CP15) sont les éléments classiques utilisés sur ce type d'alimentation. Leur rôle peut être défini comme suit :

– Phase 1 : le transistor de découpage K (interne au L 4962) est saturé. La tension présente sur la broche 2 du circuit intégré, alimente la charge à travers LP01 (LP04) qui emmagasine de l'énergie. CP05 (CP15) se charge. DP05 (DP06) est polarisée een inverse.

– Phase 2 : le transistor de découpage K est bloqué. LP01 (LP04) restitue l'énergie emmagasinée, sous la forme d'un courant de même sens que la phase 1. Il alimente la charge et se referme à travers la diode DP05 (DP06). Le tension de sortie aux bornes de la charge est proportionnelle au rapport t/T (voir : B).

La cellule RP01-CP03 fixe la fréquence de l'oscillateur donc la fréquence du découpage.

Le valeur de CP04 (CP08) détermine, à la mise sous tension, le temps d'établissement de la tension de sortie sur la broche 2 du circuit intégré. Ce temps est lié à la durée de la charge du condensateur. D'autre part un niveau 0 sur la broche 15 met l'alimentation en relaxation (tension de sortie nulle) ; un niveau 1 permet une tension de sortie maximum. En agissant sur la tension appliquée sur la broche 15, il est donc possible de limiter le courant de sortie.

La compensation RP02-CP14 (RP06-CP09) agit sur le gain de boucle de l'ampli d'erreur interne au circuit intégré.

RP07-RP08 constituent une boucle de régularisation qui réinjecte une fraction de la tension de sortie sur l'entrée négative de l'ampli d'erreur interne au circuit IP02. La valeur de ces résistances a été déterminée en fonction de la tension à obtenir en sortie (IP01 : pas de résistance).

CP07 constitue la cellule de filtrage du + 5 V et LP03-CP10 celle du + 12 V.

RP05 (RP11) assure un débit de courant minimum lorsque la charge n'est pas connectée.

## D) LIMITATION DU COURANT SUR LE 12 V

Afin d'éviter l'échauffement du transformateur le débit de l'alimentation 12 V a été limité à 850 mA.

Le courant de sortie détermine une chute de tension aux bornes des résistances RP09-RP10. Ceci fait varier le courant dans le transistor TP01 et par suite la saturation de TP02. Lorsque le débit de l'alimentation 12 V augmente, la tension sur la broche 15 de IP02 diminue et entraîne une diminution de la tension de sortie.

## C) SCHEMATIC DIAGRAM ANALYSIS

The filter constituted by CP01 attenuates the amplitude of any interference.

The diode bridge DP01 to DP04 rectifies the AC voltage stepped down to 17 V by transformer LP06.

Capacitor CP02 filters the rectified voltage. Its value contributes to the resistance to momentary power outages. A DC voltage of + 23 V is provided at its terminals, sent on pin 7 (input) of L4962.

Capacitors C11 to C13 reinforce filter CP01.

LP01 (LP04), DP05 (DP06) and CP05 (CP15 are conventionnal components in this type of power supply, and their role is a follows :

– Phase 1 : breakdown transistor K (incorporated in L4962) is saturated. The voltage present on pin 2 of the integrated circuit feeds the load across LP01 (LP04) which stores the power. CP05 (CP16) charges. DP05 (DP06) is oppositely poled.

– Phase 2 : breakdown transistor K is inhibited. LP01 (LP04) restores the power stored as a current of the same polarity as in phase 1. It feeds the load and closes across diode DP05 (DP06). The voltage output at the terminals of the load is proportional to the ratio t/T (see B)).

Cell RP01-CP03 sets the oscillator frequency, and thus the breakdown frequency.

The value of CP04 (CP08) sets the establishment time of the voltage output on pin 2 of the integrated circuit on power-up. Furthermore, a level 0 on pin 15 places the power supply on standby (no voltage output) ; a level 1 gives maximum voltage output. By varying the voltage applied to pin 15, the output current can be limited.

The compensator RP02-CP14 (RP06-CP09) governs the loop gain of the error amplifier incorporated in the integrated circuit.

RP07-RP08 constitutes a regulation loop which reinjects a fraction of the output voltage on the negative input of the error amplifier within circuit IP02. The value of these resistors has been determined as a function of the output voltage to be obtained (IP01 : no resistors).

CP07 constitutes the built-in cell for + 5 V and LP03-CP10 is the filtering cell for + 12 V.

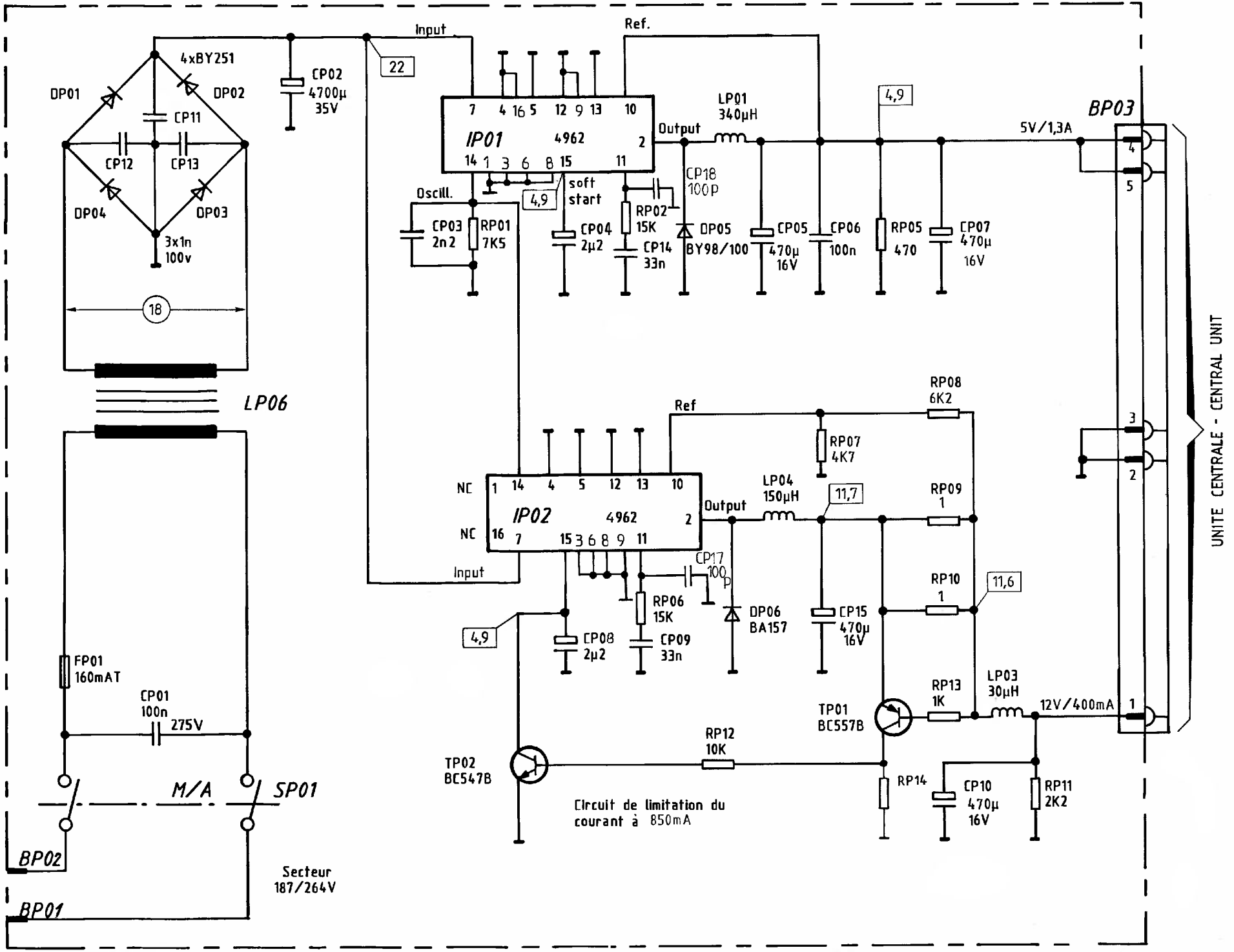
RP05 (RP1 1) provides minimum current when the load is not connected.

## D) CURRENT LIMITATION

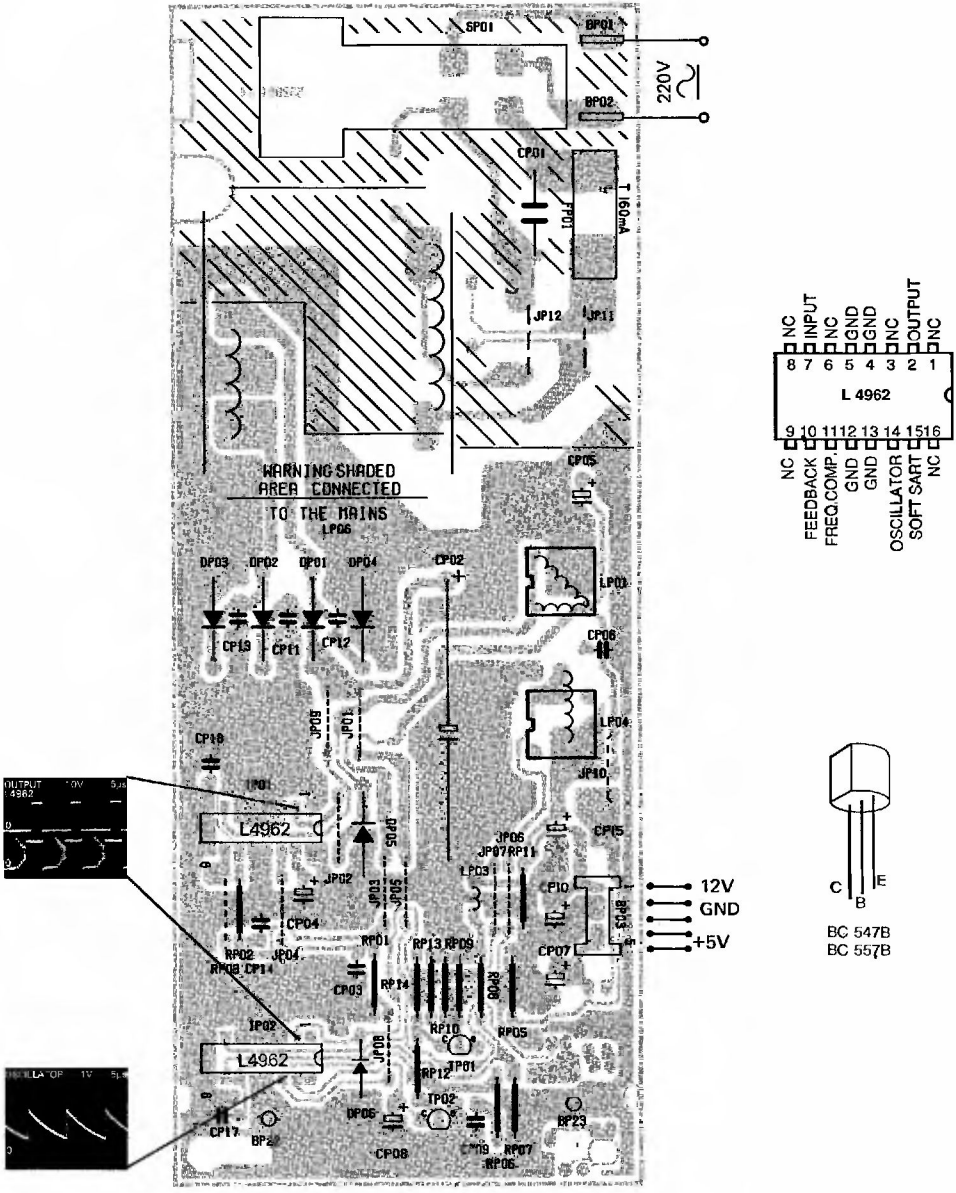
In order to prevent overheating of the transformer, the 12 V power output has been limited to 850 mA.

The output current governs a voltage drop at the terminals of the resistors RP09-RP10. This varies the saturation of TP02. When the 12 V power output increeses, the voltage on pin 15 of IP02 decreases and causes a drop in the output voltage.

## SCHÉMA DE PRINCIPE – CIRCUIT DIAGRAM



## CIRCUIT IMPRIMÉ – CIRCUIT BOARD

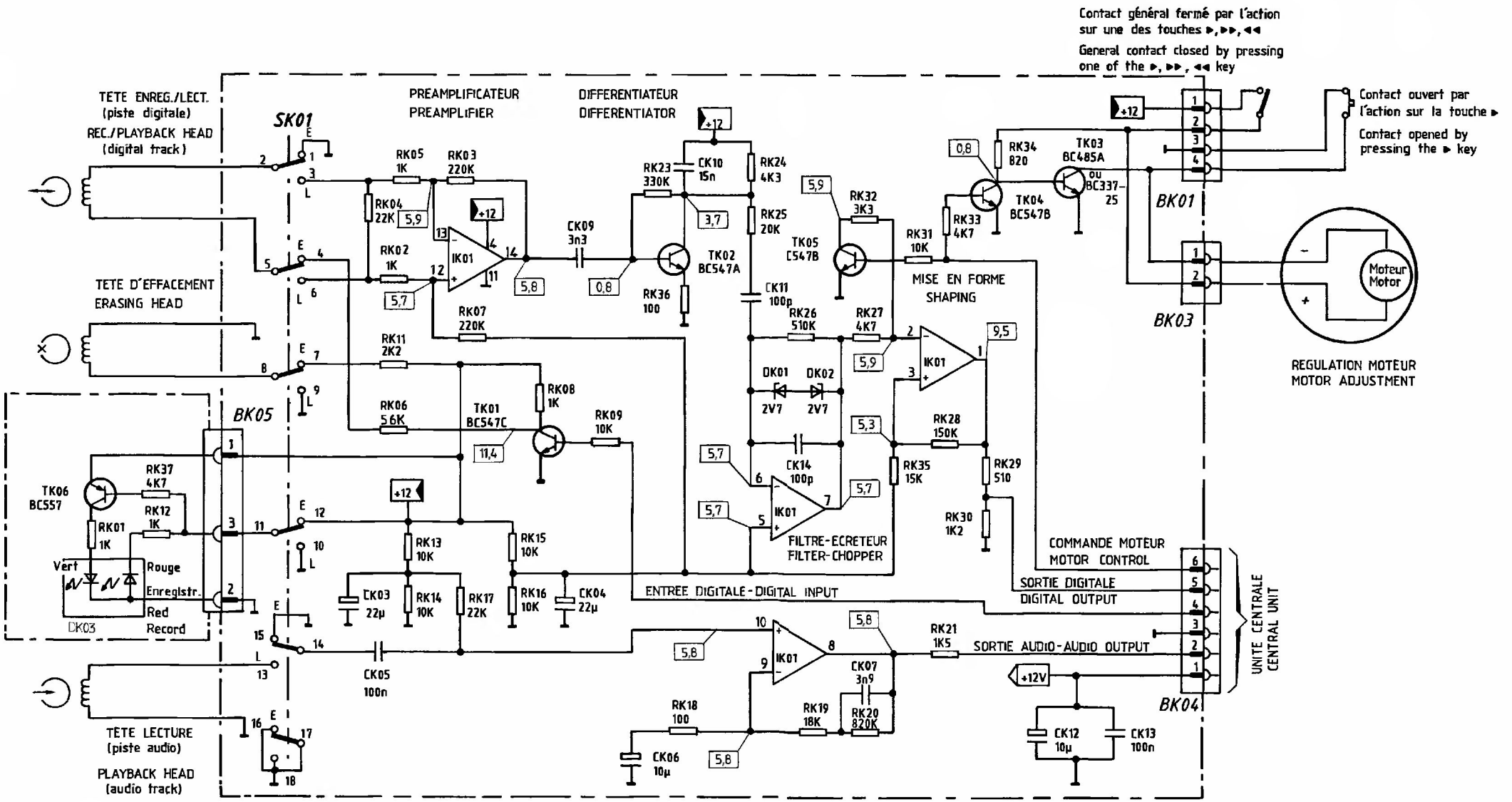



Nota : Certaines versions de l'alimentation diffèrent de la représentation ci-dessus :
- CP17 non implanté.
- CP18 est implsnté côté cuivre (pin 11 et pin 12 de IP01).
- Un filtre secteur (LP05) est implanté (En cas de panne, il peut être remplacé par 2 straps).

Note : Some versions of the power supply are different from the above representation :
- CP17 not incorporated.
- CP18 is incorporated on the copper side (pin 11 and 12 of IP01).
- A mains filter (LP05) is incorporated. (In case of breakdown, it can be replaced by 2 straps).

# LECTEUR ENREGISTREUR DE PROGRAMMES – PROGRAM RECORDER

## SCHÉMA DE PRINCIPE – CIRCUIT DIAGRAM



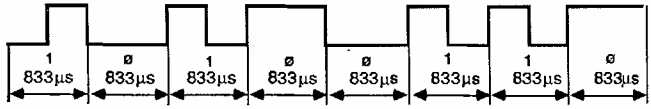
# PRINCIPE DE FONCTIONNEMENT
# OPERATING MODE

## A) PRÉSENTATION

Le Lecteur-Enregistreur de Programmes intégré permet :
- La lecture des logiciels spécifiques déjà existants (enregistrés avec une vitesse de transmission de 1200 bauds).
- D'effectuer des enregistrements avec une vitesse de transmission de 2400 bauds (sélection par programme).
  Ces enregistrements ne peuvent être relus qu'à la vitesse de 2400 bauds.

## B) PRINCIPE DU CODAGE

Les données sont codées en modulation de fréquence.
En transmission à 1200 bauds un bit à 0 est représenté par une 1/2 période de f = 600 Hz et un bit à 1 par une période de f = 1200 Hz :




En transmission à 2400 bauds un bit à 0 est représenté par une 1/2 période de f = 1200 Hz et un bit à 1 par une période de f = 2400 Hz :

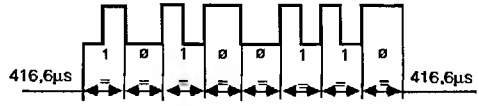
## A) DESCRIPTION

The data recorder :
- reads in recorded programmes (taped at a transmission speed of 1200 bauds),
- to record with a transmission speed of 2400 bauds (software selected).
  These recordings can only be reread at a speed of 2400 bauds.

## B) ENCODING PRINCIPLE

Data are encoded under frequency modulation.
During 1200 baud transmission, a bit set to 0 is represented by a half period of F = 600 Hz and a bit set to 1 by a period of F = 1200 HZ as illustrated below :

During transmission at 2400 bauds, a bit set to 0 is represented by a half period of F = 1200 Hz and a bit set to 1 by a period of F = 2400 Hz as illustrated below :




## C) FORMAT DES DONNÉES

Les données sont envoyées en série, par blocs comportant un nombre entier d'octets.
Le premier bloc contient le nom du fichier, son type, son emplacement mémoire et sa longueur. Le second bloc contient le fichier proprement dit.
Les octets sont envoyés en commençant par le bit de poids le plus fort.
Les blocs sont précédés de 10 octets 01 (Hex) pour la synchro, puis des octets 3C (Hex) et 5A (Hex) indiquant le début du bloc.

## D) RECONNAISSANCE AUTOMATIQUE DU MODE (1200 ou 2400 bauds)

La reconnaissance du mode est basé sur la mesure de 4 bits consécutifs à 0 et leur comparaison avec des temps de référence t1, t2, t3, t4. Les 4 bits à 0 sont les premiers des 10 octets de synchro 01 (Hex). Si la première n'a pas permis la reconnaissance du mode, elle peut être renouvelée sur les 4 bits à 0 des octets suivants.
Seules les transitions sont importantes : le principe de la mesure consiste à rechercher 5 fronts qui détermineront :
- soit 4 parasites,
- soit 3 parasites et 1 bit à 0,
- soit 2 parasites et 2 bits à 0,
- soit 1 parasites et 3 bits à 0,
- soit 4 bits à 0.

Le temps t entre les 2 premiers fronts est comparé aux temps de référence t1, t2, t3, t4 :
t<t1 : correspond à 1 parasite,
t1<t<t2 : transmission à 2400 bauds,
t2<t<t3 : correspond à 1 parasite,
t3<t<t4 : transmission à 1200 bauds.

## C) DATA FORMAT

Data are transmitted in series, in blocks comprising a whole number of bytes.
The first blocks contains the file name, its type, its memory location and its length. The second block contains the actual file.
Bytes are sent starting with the most significant bit.
Blocks are preceded by 10 bytes 01 (hex) for the synch, then by 3C (Hex) and 5A (Hex) bytes which indicate the beginning of the block.

## D) AUTOMATIC MODE RECOGNITION (1200 or 2400 bauds).

Mode recognition is based on the measurement of four consecutive bits set to 0, and their comparison with reference times t1, t2, t3 and t4. The four bits at 0 are the first of the ten synch bytes 01 (hex). If the first does not enable mode recognition, it can be repeated on the four bits set to 0 of the bytes that follow. Only the transitions are significant : the principle of measurement consists in seeking five peaks which determine either :

- 4 pick-ups,
- 3 pick-ups and 1 bit at 0,
- 2 pick-ups and 2 bits at 0,
- 1 pick-up and 3 bits at 0,
- 4 bits at 0.

The time t between the first two peaks is compared with the reference times t1, t2, t3 and t4, where :
t<t1 : corresponds to 1 pick-up.
t1<t<t2 : transmission at 2400 bauds,
t2<t<t3 : corresponds to 1 pick-up,
t3<t<t4 : transmission at 1200 bauds.

La comparaison est renouvellée pour les 3 bits (ou parasites) suivants. Si la vitesse reconnue est identique pour les 4 bits testés, la routine de lecture se positionne dans le mode correspondant (1200 ou 2400 bauds) en attendant la transmission des blocs de données. Dans le cas contraire une nouvelle mesure est effectuée.

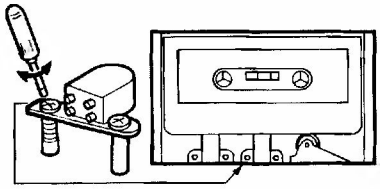
## E) COMPLÉMENTS

1) Réglage d'azimut :
- Introduire une cassette de test réglage d'azimut 10 KHz dans l'appareil.
- Brancher un oscilloscope double voies aux sorties pin 14 et 8 de IK01.
- Position des commandes : touche « ▶ » enfoncée.
- Régler l'azimut afin d'obtenir, sur les 2 voies, le maximum de tension sinusoïdale. Si nécessaire favoriser le maximum sur la voie digitale (14 de IK01). La différence doit être au plus de 1,5 dB à 10 KHz.

The comparison is repeated for the next three bits (or pick-ups). If the speed recognised is identical for the four bits tested, the read-in routine is set to the corresponding mode (1200 or 2400 bauds), on standby for transmission of data blocks. A further measurement is taken if opposite case applies.

## E) ADDITIONAL INFORMATION

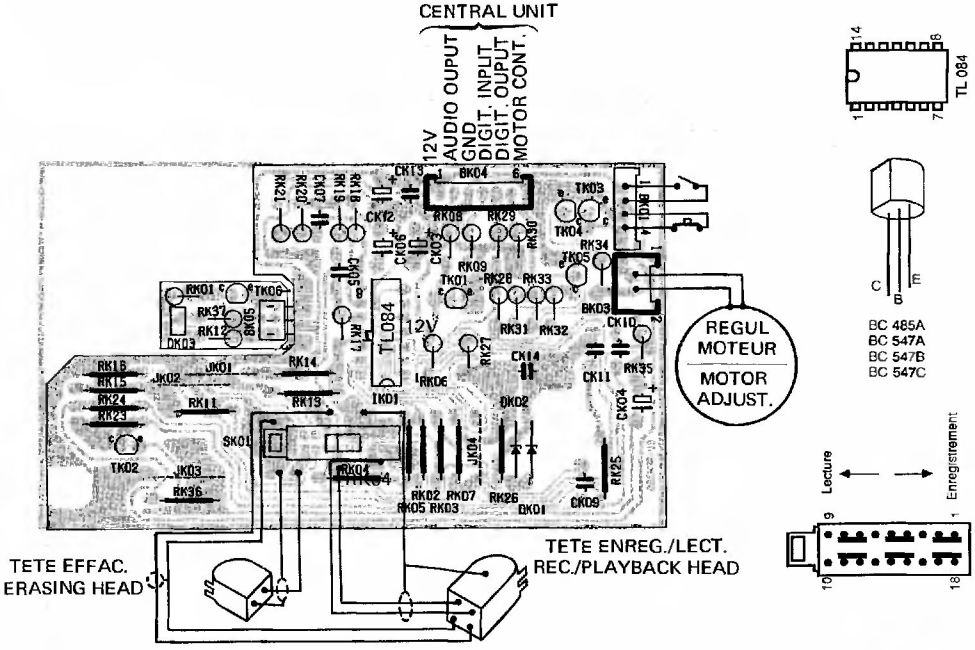
1) Azimuth adjustment
- Insert a 10 kHz adjustment test cassette in the unit.
- Connect a twin channel oscilloscope to pins 14 and 8 of IK01.
- Position of control : « ▶ » key depressed.
- Adjust the azimuth in order to obtain the maximum sinusoidal voltage on both channels. If necessary, give preference to the maximum on the digital channel (14 of IK01). The difference must be not more than 1.5 dB at 10 kHz.



2) Quelques niveaux :
- Alimentation : 12 V
- Courant tête enregistrement : 0,2 mA
- Préampli différentiel Gain : 46 dB
- Niveau nominal sortie différentiel : 160 mVc
- Seuil trigger : 6 V +/– 0,5 V

2) Levels :
- Power supply : 12 V.
- Recording head current : 0.2 mA.
- Gain differential preamplifier : 46 dB.
- Differential output nominal level : 160 mVc.
- Trigger threshold : 6V +/-0.5 V.

## CIRCUIT IMPRIMÉ – CIRCUIT BOARD



# LISTE DES PIÈCES DÉTACHÉES – PARTS LIST

## A) ELECTRONIQUE
## ELECTRONIC PARTS

### PLATINE PRINCIPALE
### MAIN BOARD

| CODE - CODICE CODIGO | DESIGNATION - DESCRIPTION BEZEICHNUNG - DESIGNAZIONE - DESIGNACION | REPERE - ITEM POS - RIF - REP |
|---|---|---|
| **796 TX 1028** | **PLATINE PRINCIPALE ( HPOP6002S ) EQUIPEE MAIN BOARD ( HPOP6002S ),CPL.** | |
| 276 TX 2277 | CIRCUIT INTEGRE 27256 (W01/M06 ) INTEGRATED CIRCUIT 27256 ( W01/M06 ) | IW01 |
| 276 TX 2272 | CIRCUIT INTEGRE 27256 (W02/M06 ) INTEGRATED CIRCUIT 27256 ( W02/M06 ) | IW02 |
| 276 TX 7010 | CIRCUIT INTEGRE TEA5114 INTEGRATED CIRCUIT TEA5114 | IW04 |
| 276 TX 1088 | CIRCUIT INTEGRE MC14050BCP INTEGRATED CIRCUIT MC14050BCP | IW05 |
| 276 TX 1052 | CIRCUIT INTEGRE MC6821P OU EF6821P INTEGRATED CIRCUIT MC6821P OR EF6821P | IW06-07 |
| 276 TX 1496 | CIRCUIT INTEGRE SN74LS151N INTEGRATED CIRCUIT SN74LS151N | IW08 |
| 276 TX 1489 | CIRCUIT INTEGRE SN74LS156N INTEGRATED CIRCUIT SN74LS156N | IW09 |
| 276 TX 1988 | CIRCUIT INTEGRE EF9369P INTEGRATED CIRCUIT EF9369P | IW10 |
| 276 TX 1077 | CIRCUIT INTEGRE SN74LS245N INTEGRATED CIRCUIT SN74LS245N | IW11 |
| 276 TX 2273 | CIRCUIT INTEGRE TMS4464-15NL INTEGRATED CIRCUIT TMS4464-15NL | IW12→15 |
| 276 TX 1969 | CIRCUIT INTEGRE SN74HC04N INTEGRATED CIRCUIT SN74HC04N | IW16 |
| 276 TX 1577 | CIRCUIT INTEGRE MC6809EP OU EF6809EP INTEGRATED CIRCUIT MC6809EP OR EF6809EP | IW17 |
| 276 TX 2238 | CIRCUIT INTEGRE CF74021 INTEGRATED CIRCUIT CF74021 | IW18 |
| 102 TX 6189 | CONNECTEUR FEMELLE 2X7 VOIES ( MERRIMANTE ) 2X7-PATH SOCKET CONNECTOR ( PRINTER ) | BW02 |
| 102 TX 4123 | CONNECTEUR FEMELLE 2X15 VOIES ( CARTOUCHE ) 2X15 PATH SOCKET CONNECTOR ( CARTRIDGE ) | BW06 |
| 102 TX 6187 | CONNECTEUR MALE 9 BROCHES ( SUB D9 ) ( MANETTES SOURIS ) 9-PIN CONNECTOR ( SUB D9 ) ( JOYSTICKS-MOUSE ) | BW08 09 |
| 102 TX 7255 | CONNECTEUR FEMELLE 10 VOIES ( CLAVIER ) 10-PATH SOCKET CONNECTOR ( KEYBOARD ) | BW11 |
| 102 TX 7256 | CONNECTEUR FEMELLE 11 VOIES ( CLAVIER ) 11-PATH SOCKET CONNECTOR ( KEYBOARD ) | BW12 |
| 102 TX 6190 | CONTACTEUR ( INITIALISATION ) SWITCH ( RESET ) | SW01 |
| 273 TX 0200 | DIODE 1N4148 DIODE 1N4148 | DW01→10 |
| 102 TX 2778 | PRISE DIN ( SORTIE AUDIO ) DIN 5 SOCKET ( AUDIO OUTPUT ) | BW03 |
| 102 TX 3784 | PRISE FEMELLE PERITELEVISION SCART PERITELEVISION SOCKET | BW04 |
| 102 TX 4120 | PRISE DIN 5 BROCHES INSERABLE ( CRAYON OPTIQUE ) 5-PIN DIN SOCKET ( LIGHT PEN ) | BW05 |
| 102 TX 1008 | QUARTZ 16MHz CRYSTAL 16MHz | QW02 |
| 102 TX 7056 | SELF CHOKE | LW01-07→10-12 |
| 101 TX 2141 | SUPPORT CIRCUIT INTEGRE 2X14 VOIES IC SOCKET, 2X14 PATHS | |
| 102 TX 5719 | SUPPORT CIRCUIT INTEGRE 68 VOIES IC SOCKET 68 PATHS | IW16 |
| 270 TX 0648 | TRANSISTOR BC547B TRANSISTOR BC547B | TW01-02-05→11-15-16-20→23 |
| 270 TX 0649 | TRANSISTOR BC557B TRANSISTOR BC557B | TW03-14-24 |

### ALIMENTATION
### POWER SUPPLY

| CODE - CODICE CODIGO | DESIGNATION - DESCRIPTION BEZEICHNUNG - DESIGNAZIONE - DESIGNACION | REPERE - ITEM POS - RIF - REP |
|---|---|---|
| **596 TX 1812** | **ENSEMBLE ALIMENTATION ( HPS6802S ) POWER SUPPLY ( HPS6002S )** | |
| 276 TX 2274 | CIRCUIT INTEGRE L4962 INTEGRATED CIRCUIT L4962 | IP01 02 |
| 207 TX 2405 | CONDENSATEUR PAPIER METALLISE 0,1µF 20% 275V METALLIZED PAPER CAPACITOR 0,1µF 20% 275V | CP01 |
| 207 TX 0514 | CONDENSATEUR CHIMIQUE 4700µF 40V ELECTROLYTIC CAPACITOR 4700µF 40V | CP02 |
| 240 TX 0470 | CONDENSATEUR CHIMIQUE 470µF 16V ELECTROLYTIC CAPACITOR 470µF 16V | CP05 07 10 15 |
| 102 TX 5436 | CONTACTEUR MARCHE/ARRET ON/OFF SWITCH | SP01 |
| 273 TX 0407 | DIODE BY251 DIODE BY251 | DP01→04 |
| 273 TX 1493 | DIODE BYW99-100 DIODE BYW99-100 | DP05 |
| 273 TX 3039 | DIODE BA157 DIODE BA157 | DP06 |
| 291 TX 0013 | FUSIBLE VERRE 160mA TEMPORISE TIME LAG CLASS FUSE 160MA | FP01 |
| 102 TX 4438 | SELF CHOKE | LP01 |
| 102 TX 0844 | SELF CHOKE | LP03 |
| 101 TX 4929 | SELF CHOKE COIL | LP04 |
| 116 TX 0007 | SUPPORT FUSIBLE FUSE HOLDER | FP01 |
| 433 TX 0673 | TRANSFORMATEUR D'ALIMENTATION POWER TRANSFORMER | LP06 |
| 270 TX 0649 | TRANSISTOR BC557B TRANSISTOR BC557B | TP01 |
| 270 TX 0646 | TRANSISTOR BC547B TRANSISTOR BC547B | TP02 |

### PLATINE LECTEUR-ENREGISTREUR
### RECORDER BOARD

| CODE - CODICE CODIGO | DESIGNATION - DESCRIPTION BEZEICHNUNG - DESIGNAZIONE - DESIGNACION | REPERE - ITEM POS - RIF - REP |
|---|---|---|
| **196 TX 2648** | **PLATINE LECTEUR-ENREGISTREUR DE PROGRAMME ( HMG6002S ) EQUIPEE PROGRAM RECORDER BOARD ( HMG6002S ), CPL.** | |
| 276 TX 1619 | CIRCUIT INTEGRE TL084N OU MC34004P INTEGRATED CIRCUIT TL084N OR MC34004P | IK01 |
| 102 TX 0997 | COMMUTATEUR ENREGISTREMENT/LECTURE RECORD/PLAYBACK SWITCH | SK01 |
| 273 TX 0977 | DIODE BZX83C2V7 DIODE BZX83C2V7 | DK01 02 |
| 273 TX 1306 | DIODE LED BICOLORE V518P OU TLSV5100 2 COLOR LED V518P OR TLSV5100 | DK03 |
| 270 TX 1488 | TRANSISTOR BC547C TRANSISTOR BC547C | TK01 |
| 270 TX 1880 | TRANSISTOR BC547A TRANSISTOR BC547A | TK02 |
| 270 TX 0644 | TRANSISTOR BC337-25 TRANSISTOR BC337-25 | TK03 |
| 270 TX 0648 | TRANSISTOR BC547B TRANSISTOR BC547B | TK04 05 |
| 270 TX 0649 | TRANSISTOR BC557B TRANSISTOR BC557B | TK06 |

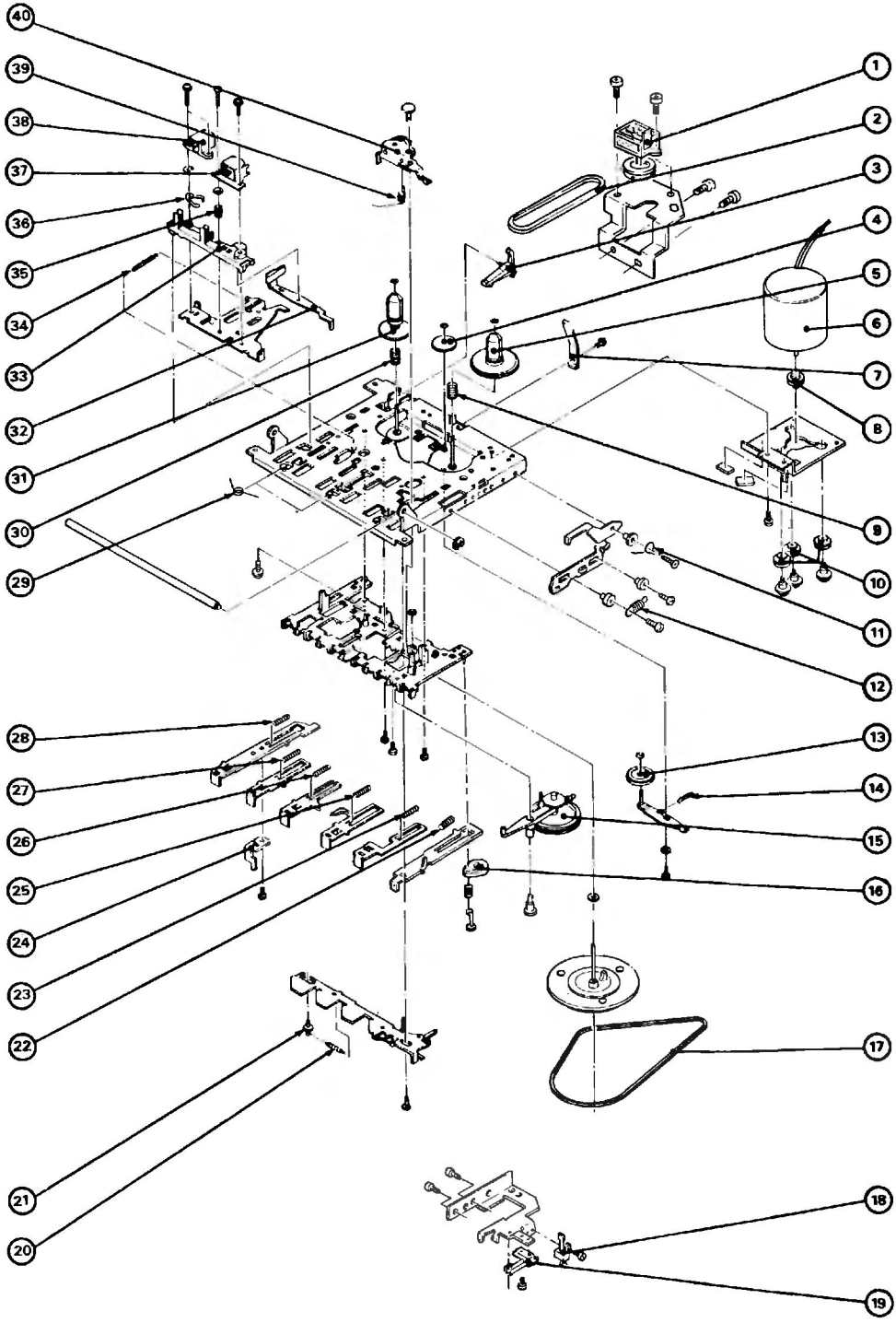
## B) MECANIQUE LECTEUR-ENREGISTREUR
## PROGRAM RECORDER MECHANISM

| REPERE - ITEM<br>POS - RIF - REP | DESIGNATION DESCRIPTION<br>BEZEICHNUNG - DESIGNAZIONE - DESIGNACION | CODE - CODICE<br>CODIGO |
|---|---|---|
| | **MECANIQUE LECTEUR/ENREGISTREUR DE PROGRAMME**<br>**PROGRAM RECORDER MECHANISM** | **928 TX 0338** |
| | TOUCHE ( PP )<br>BUTTON ( RECORDER ) | 166 TX 4950 |
| | LEVIER D'EJECTION ( OUVERTURE VOLET) PORTE-CASSETTE )<br>EJECT LEVER ( CASSETTE FLAP APERTURE ) | 132 TX 7267 |
| 01 | COMPTEUR<br>COUNTER | 512 TX 0763 |
| 02 | COURROIE CAOUTCHOUC ( COMPTEUR )<br>RUBBER BELT ( COUNTER ) | 107 TX 5100 |
| 03 | LEVIER PLASTIQUE ( SECURITE ENREGISTREMENT )<br>PLASTIC LEVER ( RECORD SAFETY ) | 102 TX 2533 |
| 04 | POULE DENTEE ( ENTRAINEMENT PORTE BOBINE 5 )<br>GEAR WHEEL ( REEL 5 DRIVE ) | 102 TX 2540 |
| 05 | PORTE-BOBINE RECEPTEUR<br>TAKE-UP REEL | 102 TX 2535 |
| 06 | MOTEUR<br>MOTOR | 423 TX 0391 |
| 07 | RESSORT A LAME ( BUTEE CASSETTE )<br>LEAF SPRING ( CASSETTE STOP ) | 136 TX 1755 |
| 09 | POULIE PLASTIQUE ( MOTEUR 6 )<br>PLASTIC PULLEY ( MOTOR 6 ) | 102 TX 2534 |
| 09 | RESSORT A BOUDIN ( PRESSION PORTE-BOBINE 5 )<br>COIL SPRING ( PRESSURE REEL 5 ) | 136 TX 2761 |
| 10 | AMORTISSEUR CAOUTCHOUC ( MOTEUR 6 )<br>RUBBER DAMPER ( MOTOR 6 ) | 101 TX 2190 |
| 11 | RESSORT A EPINGLE<br>TORSION SPRING | 136 TX 2088 |
| 12 | RESSORT A BOUDIN<br>COIL SPRING | 136 TX 2089 |
| 13 | POULIE PLASTIQUE EQUIPEE ( PRESSION PORTE-BOBINE 5 )<br>PLASTIC PULLEY CPL ( PRESSURE REEL 5 ) | 102 TX 2536 |
| 14 | RESSORT A BOUDIN<br>COIL SPRING | 136 TX 2752 |
| 15 | ENSEMBLE LEVIER/POULIE INTERMEDIAIRE<br>LEVER/PULLEY ASSY | 102 TX 3227 |
| 16 | CLIQUET PLASTIQUE ( PAUSE )<br>PLASTIC PAWL ( PAUSE ) | 101 TX 5134 |
| 17 | COURROIE CAOUTCHOUC ( VOLANT/MOTEUR )<br>RUBBER BELT ( FLYWHEEL/MOTOR ) | 107 TX 2538 |
| 18 | INTERRUPTEUR A LAMES ( CONTACT OUVERT/LECTURE )<br>LEAF SWITCH ( SWITCH OPEN/PLAYBACK ) | 132 TX 5099 |
| 19 | INTERRUPTEUR A LAMES ( CONTACT GENERAL )<br>LEAF SWITCH ( GENERAL CONTACT ) | 132 TX 2539 |
| 20 | RESSORT A BOUDIN<br>COIL SPRING | 136 TX 2754 |
| 21 | PION PLASTIQUE<br>CLAMPING PEG | 102 TX 1432 |
| 22 | RESSORT A BOUDIN ( RAPPEL COULISSEAU PAUSE )<br>COIL SPRING ( RETURN PAUSE SLIDE ) | 136 TX 2757 |
| 23 | RESSORT A BOUDIN ( RAPPEL COULISSEAU STOP/EJECT )<br>COIL SPRING ( RETURN STOP/EJECT SLIDE ) | 136 TX 2750 |
| 24 | RESSORT A LAME ( COMMANDE COMMUTATEUR ENREGISTREMENT/LECTURE )<br>LEAF SPRING ( R/P SWITCH CONTROL ) | 136 TX 3394 |
| 25 | RESSORT A BOUDIN ( RAPPEL COULISSEAU AVANCE RAPIDE )<br>COIL SPRING ( RETURN FAST FORWARD SLIDE ) | 136 TX 2759 |
| 26 | RESSORT A BOUDIN ( RAPPEL COULISSEAU RETOUR RAPIDE )<br>COIL SPRING ( RETURN FAST REWIND SLIDE ) | 136 TX 2760 |
| 27 | RESSORT A BOUDIN ( RAPPEL COULISSEAU LECTURE )<br>COIL SPRING ( RETURN PLAYBACK SLIDE ) | 136 TX 2757 |
| 28 | RESSORT A BOUDIN ( RAPPEL COULISSEAU ENREGISTREMENT )<br>COIL SPRING ( RETURN RECORD SLIDE ) | 136 TX 2758 |
| 29 | RESSORT A EPINGLE ( RAPPEL TOUCHES )<br>TORSION SPRING ( RETURN BUTTONS ) | 136 TX 3701 |
| 30 | RESSORT A BOUDIN ( PRESSION PORTE-BOBINE 31 )<br>COIL SPRING ( PRESSURE REEL 31 ) | 136 TX 2763 |
| 31 | PORTE-BOBINE DEBITEUR<br>SUPPLY REEL | 102 TX 2541 |

| REPERE - ITEM<br>POS - RIF - REP | DESIGNATION DESCRIPTION<br>BEZEICHNUNG - DESIGNAZIONE - DESIGNACION | CODE - CODICE<br>CODIGO |
|---|---|---|
| 32 | PALPEUR PLASTIQUE ( ARRET AUTOMATIQUE )<br>PLASTIC SENSOR ( AUTOMATIC STOP ) | 101 TX 9380 |
| 33 | SUPPORT PLASTIQUE DES TETES<br>PLASTIC HOLDER HEADS | 102 TX 2543 |
| 34 | RESSORT A BOUDIN ( RAPPEL PLATINE MOBILE )<br>COIL SPRING ( RETURN MINGED PANEL ) | 136 TX 2762 |
| 35 | RESSORT A BOUDIN ( REGLAGE AZIMUT TETE 37 )<br>COIL SPRING ( HEAD 37 ADJUSTMENT ) | 136 TX 2764 |
| 36 | RESSORT A EPINGLE ( TETE D'EFFACEMENT )<br>TORSION SPRING ( ERASE HEAD ) | 136 TX 3409 |
| 37 | TETE ENREGISTREMENT/LECTURE<br>RECORD/PLAYBACK HEAD | 908 TX 0708 |
| 38 | TETE D'EFFACEMENT<br>ERASE HEAD | 908 TX 0182 |
| 39 | RESSORT A EPINGLE ( PRESSION GALET 40 )<br>TORSION SPRING ( PRESSURE ROLLER 40 ) | 136 TX 2750 |
| 40 | GALET PRESSEUR EQUIPE<br>PINCH ROLLER CPL | 102 TX 2532 |

## C) EQUIPEMENT-PRESENTATION
## EQUIPMENT-OUTER PARTS

| CODE - CODICE<br>CODIGO | DESIGNATION - DESCRIPTION<br>BEZEICHNUNG - DESIGNAZIONE - DESIGNACION |
|---|---|
| 512 TX 0821 | CLAVIER MECANIQUE ( AZERTY )<br>MECHANICAL KEYBOARD ( AZERTY ) |
| 705 TX 1283 | COFFRET INFERIEUR MOB<br>LOWER CABINET MOB |
| 705 TX 1282 | COFFRET SUPERIEUR MOB<br>UPPER CABINET MOB |
| 947 TX 0547 | CORDON PERITELEVISION ( MALE/MALE )<br>SCART LEAD ( PLUG/PLUG ) |
| 524 TX 0051 | CORDON SECTEUR NOIR<br>MAINS LEAD BLACK |
| 102 TX 3841 | PIED CAOUTCHOUC<br>RUBBER FOOT |
| 102 TX 1027 | PROTECTEUR PLASTIQUE ( SORTIE BUS )<br>PLASTIC COVER ( BUS OUTPUT ) |
| 136 TX 3129 | RESSORT A EPINGLE ( RAPPEL VOLET )<br>TORSION SPRING ( CARTRIDGE FLAP ) |
| 136 TX 3675 | RESSORT A EPINGLE ( OUVERTURE VOLET PORTE-CASSETTE )<br>TORSION SPRING ( CASSETTE FLAP APERTURE ) |
| 166 TX 3278 | TOUCHE NOIRE ( M/A INIT )<br>BUTTON BLACK ( ON/OFF-RESET ) |
| 152 TX 4493 | VOLET PLASTIQUE ( TRAPPE CARTOUCHE )<br>PLASTIC FLAP ( CARTRIDGE TRAP ) |
| 514 TX 5212 | VOLET PORTE CASSETTE EQUIPE<br>CASSETTE HOLDER FLAP CPL |




VUE ECLATEE - EXPLODED VIEW

**LISTE DES PIÈCES DÉTACHÉES**
**PARTS LIST**

**V/3**